

US  
A427

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 9 日  
Date of Application:

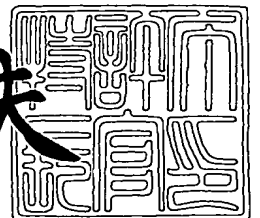
出 願 番 号                      特 願 2 0 0 2 - 3 4 7 7 2 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 7 7 2 3 ]

出      願      人                      N E C エ レ ク ト ロ ニ ク ス 株 式 会 社  
Applicant(s):

2 0 0 3 年    8 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 8 8 3 6

【書類名】 特許願

【整理番号】 75210288

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/028

【発明の名称】 C C D イメージセンサ

【請求項の数】 17

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 網井 史郎

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216503

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CCDイメージセンサ

【特許請求の範囲】

【請求項 1】 それぞれが列方向に信号電荷を転送する 4 つ以上の電荷転送素子と、

前記電荷転送素子から、該電荷転送素子に共通の出力ゲートを介して、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えることを特徴とする CCD イメージセンサ。

【請求項 2】 前記出力ゲートは、信号電荷転送方向に配設された 3 段のゲート電極から成る、請求項 1 に記載の CCD イメージセンサ。

【請求項 3】 前記 3 段のうち中段のゲート電極は、前段のゲート電極側に突出する突出部を有する、請求項 2 に記載の CCD イメージセンサ。

【請求項 4】 隣接する一対の電荷転送素子の間に延び、該一対の電荷転送素子の一方及び他方に信号電荷を供給するフォトダイオードが交互に配設されるダイオード列を備える、請求項 1 ～ 3 の何れかに記載の CCD イメージセンサ。

【請求項 5】 一対の電荷転送素子の間に延びるダイオード列と、別の一対の電荷転送素子の間に延びるダイオード列とでは、フォトダイオードの配列が相互にずれている、請求項 4 に記載の CCD イメージセンサ。

【請求項 6】 隣接する一対の電荷転送素子の間に延び、該一対の電荷転送素子の一方及び他方に信号電荷を供給する 2 つのダイオード列を備え、該 2 つのダイオード列におけるフォトダイオードの配列は相互に 1/2 ピッチずれている、請求項 1 ～ 3 の何れかに記載の CCD イメージセンサ。

【請求項 7】 一対の電荷転送素子の間に延びる 2 つのダイオード列と、別の一対の電荷転送素子の間に延びる 2 つのダイオード列とでは、フォトダイオードの配列が相互にずれている、請求項 6 に記載の CCD イメージセンサ。

【請求項 8】 それぞれが列方向に信号電荷を転送する第 1 ～ 第 3 の電荷転送素子と、

前記第 1 の電荷転送素子と前記第 2 の電荷転送素子との間に延び、前記第 1 の

電荷転送素子に信号電荷を供給するフォトダイオードと前記第 2 の電荷転送素子に信号電荷を供給するフォトダイオードとが交互に配設される第 1 のダイオード列と、

前記第 2 の電荷転送素子と前記第 3 の電荷転送素子との間に延び、前記第 2 の電荷転送素子に信号電荷を供給するフォトダイオードと前記第 3 の電荷転送素子に信号電荷を供給するフォトダイオードとが交互に配設される第 2 のダイオード列と、

前記第 1 ～第 3 の電荷転送素子から、該第 1 ～第 3 の電荷転送素子に共通の出力ゲートを介して、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えることを特徴とする CCD イメージセンサ。

【請求項 9】 前記出力ゲートは、信号電荷転送方向に配設された 3 段のゲート電極から成る、請求項 8 に記載の CCD イメージセンサ。

【請求項 10】 前記 3 段のうち中段のゲート電極は、前段のゲート電極側に突出する突出部を有する、請求項 9 に記載の CCD イメージセンサ。

【請求項 11】 相互に平行に延び、フォトダイオードが列状に配設された第 1 及び第 2 のダイオード列であって、フォトダイオードの配列が相互に 1/2 ピッチずれて配設された第 1 及び第 2 のダイオード列と、

前記第 1 のダイオード列の奇数番目及び偶数番目のフォトダイオードからそれぞれ受け取った電荷を転送する第 1 及び第 2 の電荷転送素子と、

前記第 2 のダイオード列の奇数番目及び偶数番目のフォトダイオードからそれぞれ受け取った電荷を転送する第 3 及び第 4 の電荷転送素子と、

前記第 1 ～第 4 の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えることを特徴とする CCD イメージセンサ。

【請求項 12】 相互に平行に延び、フォトダイオードが列状に配設された第 1 及び第 2 のダイオード列であって、フォトダイオードの配列が相互に 1/2

ピッチずれて配設された第 1 及び第 2 のダイオード列と、

相互に平行に延び、フォトダイオードが列状に配設された第 3 及び第 4 のダイオード列であって、前記第 1 及び第 2 のダイオード列と配列がそれぞれ  $1/4$  ピッチずれて配設された第 3 及び第 4 のダイオード列と、

前記第 1 ～第 4 のダイオード列からそれぞれ受け取った電荷を転送する第 1 ～第 4 の電荷転送素子と、

前記第 1 ～第 4 の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えることを特徴とする CCD イメージセンサ。

【請求項 13】 相互に平行に延び、フォトダイオードが列状に配設された第 1 及び第 2 のダイオード列であって、フォトダイオードの配列が相互に  $1/2$  ピッチずれて配設された第 1 及び第 2 のダイオード列と、

前記第 1 及び第 2 のダイオード列と平行に延び、フォトダイオードが列状に配設された第 3 のダイオード列であって、前記第 1 及び第 2 のダイオード列の 2 倍のピッチを有する第 3 のダイオード列と、

前記第 1 ～第 3 のダイオード列からそれぞれ受け取った電荷を転送する第 1 ～第 3 の電荷転送素子と、

前記第 1 ～第 3 の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えることを特徴とする CCD イメージセンサ。

【請求項 14】 前記第 1 及び第 2 のダイオード列からの信号電荷を排出する第 1 の電荷排出部と、前記第 3 のダイオード列からの信号電荷を排出する第 2 の電荷排出部とを更に備え、前記第 1 の電荷排出部と第 2 の電荷排出部の何れか一方を活性化させる、請求項 13 に記載の CCD イメージセンサ。

【請求項 15】 それぞれが列方向に信号電荷を転送する複数の電荷転送素子と、

前記電荷転送素子から、該電荷転送素子に共通の出力ゲートを介して、相互に

異なるタイミングで信号電荷を入力する電荷検出容量部と、

前記電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えるCCDイメージセンサにおいて、

前記出力ゲートは、信号電荷転送方向に配設された複数段のゲート電極から成り、2段目以降の1つのゲート電極は、前段のゲート電極側に突出する突出部を有することを特徴とするCCDイメージセンサ。

【請求項16】 前記出力ゲートは、3段のゲート電極を有する、請求項15に記載のCCDイメージセンサ。

【請求項17】 2段目のゲート電極における突出部は、平面位置が2つの隣接する電荷転送素子の間にあり、

3段目のゲート電極における突出部は、平面位置が前記電荷検出容量部の中央部にある、請求項16に記載のCCDイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCDイメージセンサに関し、更に詳しくは、複数の電荷転送素子からの信号電荷を、共通の電荷検出容量部に入力するCCDイメージセンサに関する。

【0002】

【従来の技術】

近年、電荷転送素子を使用したCCDイメージセンサ等の画像入力装置（撮像装置）では、画素（フォトダイオードとも呼ぶ）の微小化や、高解像度化が進んでいる。画素の微小化に対応するために、電荷転送素子には、その製造プロセスの微細化が求められている。しかしながら、電荷転送素子の製造プロセスの微細化には費用や時間を要するため、CCDイメージセンサの画素の微小化の要求に対応して、即座に電荷転送素子の製造プロセスを微細化することは難しいというのが現状である。このため、従来では、以下に示す、文献名が特定できない公知技術を用い、電荷転送素子の微細化を伴わずに画素の微小化や画素数の増加（以下微小化とも呼ぶ）を実現してきた。

**【0003】**

図14は、画素の微小化以前の従来のCCDイメージセンサの構成を示している。このCCDイメージセンサ200Aは、シングルCCD方式を採用し、フォトダイオード列202の1列に対応して、1列の電荷転送素子201が設けられている。フォトダイオード列202の各フォトダイオードは、読出しゲート210を介して電荷転送素子201に電荷（画素信号）を出力する。

**【0004】**

フォトダイオード列202には、例えば8 $\mu$ mピッチでフォトダイオードが配置され、電荷転送素子201は、フォトダイオード列202のピッチに対応した製造プロセスで製造される。電荷転送素子201では、図示しない転送用電極に転送用信号を印加することで、フォトダイオードから出力された電荷が順次に出力ゲート203側へ転送される。出力ゲート203を通過した電荷は、電荷検出容量部206からソースフォロワ回路207を介して、CCDイメージセンサ200Aの出力信号として取り出される。

**【0005】**

図15は、画素の微小化のためデュアルCCD方式を採用する従来のCCDイメージセンサの構成を示している。このCCDイメージセンサ200Bは、フォトダイオード列202の両側にそれぞれ電荷転送素子201a、201bを備える。フォトダイオード列202は、一方の電荷転送素子201aに電荷を出力するフォトダイオードと、他方の電荷転送素子201bに電荷を出力するフォトダイオードとが、例えば4 $\mu$ mピッチで交互に配置される。このとき、片側の電荷転送素子201a又は201bのピッチは、図14示すCCDイメージセンサ200Aと同じピッチにすることができる。

**【0006】**

フォトダイオード列202から、各読出しゲート210を介して各電荷転送素子201a、201bに出力された電荷は、各電荷転送素子201a、201bによって転送され、共通の出力ゲート203に交互に入力する。出力ゲート203、電荷検出容量部206、及び、ソースフォロワ207を各電荷転送素子201a、201bに対応して個別に配置し、転送された電荷を個別に出力する構成

を採用することもできるが、その場合には信号の出力側に信号切替器が必要となる。図15に示すCCDイメージセンサ200Bでは、出力ゲート203を各電荷転送素子201a、201bに共通の出力ゲートとして構成することで、信号切替器を不要としている。

#### 【0007】

デュアルCCD方式のCCDイメージセンサ200Bでは、シングルCCD方式のCCDイメージセンサ200Aと同じ製造プロセスで製造された同じ長さの電荷転送素子を使用して、シングルCCD方式のCCDイメージセンサ200Aの2倍の画素数を得ることができる。つまり、デュアルCCD方式では、電荷転送素子の製造プロセスを微細化させることなく、シングルCCD方式の2倍の画素数が実現する。通常、製造プロセスの微細化でネックとなる部分は電荷転送素子の製造プロセスであり、フォトダイオードの製造プロセスの微細化は、それほど困難ではない。

#### 【0008】

図16は、画素の微小化のため2画素構成のスタaggerドフォトダイオード配列方式を採用する従来のCCDイメージセンサの構成を示している。このCCDイメージセンサ200Cでは、第1及び第2のフォトダイオード列202a、202bのそれぞれに対応して、第1及び第2の電荷転送素子201a、201bが配置される。第1及び第2のフォトダイオード列202a、202bのフォトダイオードは、それぞれ相互に1/2ピッチずつずれて配置される。

#### 【0009】

スタaggerドフォトダイオード配列方式のCCDイメージセンサ200Cは、2つのシングルCCD方式のCCDイメージセンサ200A（図14）を、フォトダイオード列202の位置が相互に1/2ピッチずれるように配置し、共通の出力ゲート203から信号を出力する構成を採用している。このような構成を採用することで、2画素構成のスタaggerドフォトダイオード配列方式のCCDイメージセンサ200Cは、図15に示すデュアルCCD方式のCCDイメージセンサ200Bと同様に、電荷転送素子の製造プロセスを微細化することなく、シングルCCD方式のCCDイメージセンサ200Aの2倍の画素数を得ることが



できる。

#### 【0010】

デュアルCCD方式のCCDイメージセンサ200Bや、スタaggerドフォトダイオード配列方式のCCDイメージセンサ200Cでは、同じ画素数を同じ時間に読み込む条件で、電荷転送素子に印加する転送用信号の周波数を、シングルCCD方式のCCDイメージセンサ200Aの1/2の周波数にすることができ、EMI（電磁干渉）対策が容易となる。更に、スタaggerドフォトダイオード配列方式のCCDイメージセンサ200Cでは、デュアルCCD方式のCCDイメージセンサ200Bに比して、フォトダイオードのサイズを大きくとることが容易となり、S/N比が高くなる、或いは、ダイナミックレンジが広くなるというメリットがある。

#### 【0011】

図17は、画素の微小化のため4画素構成のスタaggerドフォトダイオード配列方式を採用する従来のCCDイメージセンサの構成の一例を示し、図18は、同様な方式の別例を示している。これらのCCDイメージセンサ200D（図17）、200E（図18）では、互いに1/4ピッチだけずらして配置される4列のフォトダイオード列202a、202b、202c、202dを備え、図15又は図16に示すCCDイメージセンサの更に2倍の画素数を実現する。

#### 【0012】

図17に示すCCDイメージセンサ200Dは、2列の電荷転送素子201a、201bを備える。第1及び第2のフォトダイオード列202a及び202bは、一方の電荷転送素子201aを共有し、第3及び第4のフォトダイオード列202c及び202dは、他方の電荷転送素子201bを共有する。このCCDイメージセンサ200Dでは、同じ電荷転送素子201a、201bを共有するフォトダイオード列のうち、一方のフォトダイオード列が電荷を電荷転送素子に出力するときには、言い換えると、一方のフォトダイオード列が電荷転送素子を使用するときには、他方のフォトダイオード列の電荷は、電荷排出手段223a～223cにより外部に排出される。例えば、第1及び第4のフォトダイオード列202a、202dが電荷転送素子201a、201bを使用するときには、

第2及び第3のフォトダイオード列202b、202cの電荷は電荷排出手段223bにより外部に排出される。このCCDイメージセンサ200Dでは、全てのフォトダイオード列202a～202dの電荷を、2回に分けて出力する。

#### 【0013】

図18に示すCCDイメージセンサ200Eは、2つのデュアルCCD方式のCCDイメージセンサの出力信号を、信号切替器214により切り替えて出力する構成を有する。このCCDイメージセンサ200Eでは、第1及び第2のフォトダイオード202a、202bの何れか一方の電荷と、第3及び第4のフォトダイオード列202c、202dの何れか一方の電荷とが、同じタイミングで、それぞれに対応する電荷検出容量部206a、206bに入力する。このため、信号切替器214が必要となるが、全てのフォトダイオード列202a～202dの電荷を2回に分けて出力する必要がないため、図17に示すCCDイメージセンサ200Dに比して、信号出力に要する時間を短縮することができる。

#### 【0014】

上記のように、4画素構成のスタガードフォトダイオード配列方式のCCDイメージセンサでは、画素数を増加するには有効であるが、フォトダイオードからの電荷を2回に分けて出力する(図17)、或いは、信号切替器214によって出力信号を切り替える(図18)必要があった。これは、4列の電荷転送素子のそれぞれによって転送された電荷を、共通の電荷検出容量部に入力できなかったからである。

#### 【0015】

ここで、3以上の電荷転送素子のそれぞれによって転送された電荷を、共通の電荷検出容量部から出力できる技術としては、特開平10-233883号公報(特許文献1)に記載の技術が知られている。この技術では、RGBの3色に対応した3列のフォトダイオード列の電荷を、共通の電荷検出容量部から出力する構成を採用し、各色に対応する信号を共通の出力アンプで増幅して、カラー画像におけるリニアリティ誤差を低減している。

#### 【0016】

【特許文献1】

## 特開平 10-233883 号公報

## 【0017】

図 19 は、特許文献 1 に記載されたカラー CCD 撮像素子の構成を示している。このカラー CCD 撮像素子 300 は、R、G、B の各色に対応した、フォトダイオード 312 (R、G、B) CCD シフトレジスタ (電荷転送素子) 310 (R、G、B)、及び、出力ゲート 313 (R、G、B) を備える。各フォトダイオード 312 (R、G、B) で生成された電荷は、CCD シフトレジスタ 310 (R、G、B) によって順次出力ゲート 313 (R、G、B) 側に転送される。

## 【0018】

各 CCD シフトレジスタ 310 (R、G、B) には、2 相駆動の転送用信号 ( $\phi 1$ 、 $\phi 2$ ) が共通に印加され、各出力ゲート 313 (R、G、B) には、個別のゲート制御信号 (R o g、G o g、B o g) が印加される。各色に共通のフローティングソース (電荷検出容量部) 314 には、出力ゲート 313 (R、G、B) の何れかを通過した電荷が入力する。フローティングソース 314 に入力した電荷は、ソースフォロワ回路 318 を介して、図示しないアンプに向けて出力され、各色に対応する信号を、信号切替器を用いることなく共通の出力アンプで増幅でき、カラー画像におけるリニアリティ誤差を低減している。

## 【0019】

## 【発明が解決しようとする課題】

しかし、特許文献 1 に記載の技術では、フォトダイオードの配列がシングル CCD 方式 (図 14) と同様の配列であるために、画素の高密度化に対応することができないという問題がある。また、特に複数の電荷転送素子によって転送された電荷を共通の電荷検出容量部に入力する際に、各電荷転送素子から電荷検出容量部までの出力ゲート直下の電荷合流部 (絞り込み部) において、チャネル長が長くなることにより、電荷の流れが悪くなるという問題が発生するが、この点の対策については記載されていない。

## 【0020】

一般に、複数の電荷転送素子によって転送された電荷を、共通の電荷検出容量

部から出力する場合には、各電荷転送素子によって転送された電荷が回り込んで混合しないように、出力ゲート直下の所定位置までP+拡散層が形成され、出力ゲート直下においても電荷転送素子が素子分離される手法が採用される。この手法によると、電荷合流部（絞り込み部）では、電荷検出容量側に進むにつれて、その幅が狭くなるため、P+拡散層によって電荷の通り道が狭くなり、P+拡散層同士が接近して、峡チャネル効果が発生するという問題が発生する。峡チャネル効果が発生すると、その部分の電位が低くなり、電荷の移動速度が低下する。

#### 【0021】

本発明は、上記従来のCCDイメージセンサにおける問題を解消し、電荷転送素子の製造プロセスを微細化することなく、画素を高密度化できるCCDイメージセンサであって、出力ゲート直下においてチャネル長が長いことによる電荷の流れの悪化を改善できるCCDイメージセンサを提供することを目的とする。

#### 【0022】

また、本発明は、出力ゲート直下において素子分離によって発生する峡チャネルを防止し、電荷の移動速度の低下を低減できるCCDイメージセンサを提供することを目的とする。

#### 【0023】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の第1の視点のCCDイメージセンサは、それぞれが列方向に信号電荷を転送する4つ以上の電荷転送素子と、該電荷転送素子から、該電荷転送素子に共通の出力ゲートを介して、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、該電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えることを特徴とする。

#### 【0024】

本発明の第1の視点のCCDイメージセンサでは、4つ以上の電荷転送素子によって転送された電荷が、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。電荷検出容量部に入力した電荷の電荷量は、例えばソースフォロワ回路として構成される電荷量検出部によって検出され、CCDイメージセンサの出力信号として出力

される。この場合、4つ以上の電荷転送素子のそれぞれに対応して、サイズを縮小したフォトダイオードを配置すれば、電荷転送素子の製造プロセスを微細化することなく、画素の微小化に対応することができる。

4つ以上の電荷転送素子を有する従来のCCDイメージセンサでは、例えば、それぞれ2列の電荷転送素子によって転送された電荷を、別個の電荷検出容量部に入力し、画像出力信号を信号切替器で切り替えて出力していた。この場合、異なる電荷検出容量部を使用する場合には、各電荷検出容量部に入力した電荷の量が同じであっても、電荷検出容量部の感度やリセット雑音のばらつき等により、画像出力信号の電圧値が異なる値になることがあり、そのばらつきが、画像の再現性に悪影響を与えていた。本発明では、信号切替器を不要とし、各電荷転送素子によって転送された電荷を、同じ電荷検出容量部に入力するため、画像の再現性が良好となる。

#### 【0025】

本発明の第1の視点のCCDイメージセンサは、隣接する一对の電荷転送素子の間に延び、該一对の電荷転送素子の一方及び他方に信号電荷を供給するフォトダイオードが交互に配設されるダイオード列を備える構成を採用することができる。この場合、一对の電荷転送素子と、ダイオード列とに注目すると、その構成は、フォトダイオードの両側で信号電荷を転送するデュアルCCD方式と同様な構成となる。このようにフォトダイオードを配置することで、電荷転送素子の製造プロセスを微細化することなく、画素の微小化が可能となる。

#### 【0026】

上記CCDイメージセンサでは、一对の電荷転送素子の間に延びるダイオード列と、別の一对の電荷転送素子の間に延びるダイオード列とでは、フォトダイオードの配列が相互にずれていることが好ましい。

CCDイメージセンサには、電荷転送素子が4つ以上が配置されることから、2つ以上のデュアルCCD方式と同様な構成を含ませることができる。この場合、各ダイオード列内のフォトダイオードの配置位置を、フォトダイオードの配列方向に相互にずらして配置すると、更なる画素の高密度化が実現できる。

#### 【0027】

本発明の第1の視点のCCDイメージセンサは、隣接する一対の電荷転送素子の間に延び、該一対の電荷転送素子の一方及び他方に信号電荷を供給する2つのダイオード列を備え、該2つのダイオード列におけるフォトダイオードの配列は相互に1/2ピッチずれている構成を採用することができる。この場合、一対の電荷転送素子と、2つのダイオード列とに注目すると、その構成は、2画素構成のスタaggeredフォトダイオード配列方式と同様な構成となる。この場合にも、電荷転送素子の製造プロセスを微細化することなく画素の微小化が可能となる。

#### 【0028】

上記CCDイメージセンサでは、一対の電荷転送素子の間に延びる2つのダイオード列と、別の一対の電荷転送素子の間に延びる2つのダイオード列とでは、フォトダイオードの配列が相互にずれていることが好ましい。

CCDイメージセンサには、電荷転送素子が4以上が配置されることから、2以上の2画素構成のスタaggeredフォトダイオード配列方式と同様な構成を含ませることができる。この場合にも、各ダイオード列内のフォトダイオードの配置位置を、フォトダイオードの配列方向に相互にずらして配置すると、更なる画素の高密度化が実現できる。

#### 【0029】

本発明の第2の視点のCCDイメージセンサは、それぞれが列方向に信号電荷を転送する第1～第3の電荷転送素子と、前記第1の電荷転送素子と第2の電荷転送素子との間に延び、前記第1の電荷転送素子に信号電荷を供給するフォトダイオードと前記第2の電荷転送素子に信号電荷を供給するフォトダイオードとが交互に配設される第1のダイオード列と、前記第2の電荷転送素子と前記第3の電荷転送素子との間に延び、前記第2の電荷転送素子に信号電荷を供給するフォトダイオードと前記第3の電荷転送素子に信号電荷を供給するフォトダイオードとが交互に配設される第2のダイオード列と、前記第1～第3の電荷転送素子から、該第1～第3の電荷転送素子に共通の出力ゲートを介して、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、該電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えることを特徴とする。

#### 【0030】

本発明の第2の視点のCCDイメージセンサでは、第1のダイオード列が、第1の電荷転送素子と、第2の電荷転送素子との間に配置され、第2のダイオード列が、第2の電荷転送素子と、第3の電荷転送素子との間に配置される。第1のダイオード列には、第1の電荷転送素子に電荷を供給するフォトダイオードと、第2の電荷転送素子に電荷を供給するフォトダイオードとが交互に配置され、第2のダイオード列には、第2の電荷転送素子に電荷を供給するフォトダイオードと、第3の電荷転送素子に電荷を供給するフォトダイオードとが交互に配置される。第1～第3の電荷転送素子によって転送された電荷は、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。電荷検出容量部に入力した電荷の電荷量は、例えばソースフォロワ回路として構成される電荷量検出部によって検出され、CCDイメージセンサの出力信号として出力される。この場合、第1及び第2のダイオード列に、サイズ（面積）を縮小したフォトダイオードを配置することで、更なる画素の微小化に対応することができる。

#### 【0031】

本発明の第3の視点のCCDイメージセンサは、相互に平行に延び、フォトダイオードが列状に配設された第1及び第2のダイオード列であって、フォトダイオードの配列が相互に1/2ピッチずれて配設された第1及び第2のダイオード列と、前記第1のダイオード列の奇数番目及び偶数番目のフォトダイオードからそれぞれ受け取った電荷を転送する第1及び第2の電荷転送素子と、前記第2のダイオード列の奇数番目及び偶数番目のフォトダイオードからそれぞれ受け取った電荷を転送する第3及び第4の電荷転送素子と、前記第1～第4の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えることを特徴とする。

#### 【0032】

本発明の第3の視点のCCDイメージセンサでは、第1のダイオード列が、第1の電荷転送素子と第2の電荷転送素子の間に配置され、第2のダイオード列が、第3の電荷転送素子と第4の電荷転送素子の間に配置される。第1のダイオード列に配置されるフォトダイオードと、第2のダイオード列に配置されるフォト

ダイオードとは、フォトダイオードの配列方向に相互に  $1/2$  ピッチずれている。第1のダイオード列に配置されるフォトダイオードのうち、例えば出力ゲート側から数えて、奇数番目のフォトダイオードは第1の電荷転送素子に電荷を供給し、偶数番目のフォトダイオードは第2の電荷転送素子に電荷を供給する。第2のダイオード列に配置されるフォトダイオードのうち、例えば出力ゲート側から数えて、奇数番目のフォトダイオードは第3の電荷転送素子に電荷を供給し、偶数番目のフォトダイオードは第4の電荷転送素子に電荷を供給する。第1～第4の電荷転送素子によって転送された電荷は、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。電荷検出容量部に入力した電荷の電荷量は、例えばソースフォロウ回路として構成される電荷量検出部によって検出され、CCDイメージセンサの出力信号として出力される。この場合、第1及び第2のダイオード列に、サイズを縮小したフォトダイオードを配置することで、電荷転送素子の製造プロセスを微細化することなく、更なる画素の微小化に対応することができる。

#### 【0033】

本発明の第4の視点のCCDDイメージセンサは、相互に平行に延び、フォトダイオードが列状に配設された第1及び第2のダイオード列であって、フォトダイオードの配列が相互に  $1/2$  ピッチずれて配設された第1及び第2のダイオード列と、相互に平行に延び、フォトダイオードが列状に配設された第3及び第4のダイオード列であって、前記第1及び第2のダイオード列と配列がそれぞれ  $1/4$  ピッチずれて配設された第3及び第4のダイオード列と、前記第1～第4のダイオード列からそれぞれ受け取った電荷を転送する第1～第4の電荷転送素子と、前記第1～第4の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えることを特徴とする。

#### 【0034】

本発明の第4の視点のCCDイメージセンサでは、第1及び第2のダイオード列が、第1の電荷転送素子と第2の電荷転送素子の間に配置され、第3及び第4のダイオード列が、第3の電荷転送素子と第4の電荷転送素子の間に配置される



。第1のダイオード列には、第1の電荷転送素子に電荷を供給するフォトダイオードが配置され、第2のダイオード列には、第2の電荷転送素子に電荷を供給するフォトダイオードが配置される。第1のダイオード列のフォトダイオードと、第2のダイオード列のフォトダイオードとは、その配置がフォトダイオードの配列方向に相互に1/2ピッチずれている。第3のダイオード列には、第3の電荷転送素子に電荷を供給するフォトダイオードが配置され、第4のダイオード列には、第4の電荷転送素子に電荷を供給するフォトダイオードが配置される。第3のダイオード列のフォトダイオードと、第4のダイオード列のフォトダイオードとは、その配置がフォトダイオードの配列方向に相互に1/2ピッチずれており、第1のダイオード列のフォトダイオードと、第3のダイオード列のフォトダイオードとは、その配置がフォトダイオードの配列方向に相互に1/4ピッチずれている。第1～第4の電荷転送素子によって転送された電荷は、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。電荷検出容量部に入力した電荷の電荷量は、例えばソースフォロワ回路として構成される電荷量検出部によって検出され、CCDイメージセンサの出力信号として出力される。この場合、第1及び第2のダイオード列に、サイズを縮小したフォトダイオードを配置することで、電荷転送素子の製造プロセスを微細化することなく、更なる画素の微小化に対応することができる。

#### 【0035】

本発明の第5の視点のCCDイメージセンサは、相互に平行に延び、フォトダイオードが列状に配設された第1及び第2のダイオード列であって、フォトダイオードの配列が相互に1/2ピッチずれて配設された第1及び第2のダイオード列と、前記第1及び第2のダイオード列と平行に延び、フォトダイオードが列状に配設された第3のダイオード列であって、前記第1及び第2のダイオード列の2倍のピッチを有する第3のダイオード列と、前記第1～第3のダイオード列からそれぞれ受け取った電荷を転送する第1～第3の電荷転送素子と、前記第1～第3の電荷転送素子から、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、前記電荷検出容量部の電荷量を検出する電荷量検出部とを備えるこ

とを特徴とする。

#### 【0036】

本発明の第5の視点のCCDイメージセンサでは、第1及び第2のダイオード列が、第1の電荷転送素子と第2の電荷転送素子の間に配置され、第3のダイオード列が、第3の電荷転送素子に対応して配置される。第1のダイオード列には、第1の電荷転送素子に電荷を供給するフォトダイオードが配置され、第2のダイオード列には、第2の電荷転送素子に電荷を供給するフォトダイオードが配置される。第1のダイオード列のフォトダイオードと、第2のダイオード列のフォトダイオードとは、その配置がフォトダイオードの配列方向に相互に1/2ピッチずれている。第3のダイオード列には、第3の電荷転送素子に電荷を供給するフォトダイオードが配置される。第3のダイオード列のフォトダイオードは、第1及び第2のダイオード列のフォトダイオードよりもサイズの大きな（集光面積が大きい）フォトダイオードとして構成され、その配列のピッチは、第1及び第2のダイオード列におけるフォトダイオードのピッチよりも長いピッチに設定される。第1～第3の電荷転送素子によって転送された電荷は、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。電荷検出容量部に入力した電荷の電荷量は、例えばソースフォロワ回路として構成される電荷量検出部によって検出され、CCDイメージセンサの出力信号として出力される。この場合、高解像度が要求されるイメージの読み取りに際しては、第1及び第2のダイオード列からの信号電荷による出力信号を使用し、低解像度でのイメージの読み取りに際しては、第3のダイオード列からの信号電荷による出力信号を使用することができる。このように、イメージの読み取りに要求される解像度に応じて、高解像度、又は、低解像度を切り替えて使用することができる。

#### 【0037】

本発明の第5の視点のCCDイメージセンサでは、前記第1及び第2のダイオード列からの信号電荷を排出する第1の電荷排出部と、前記第3のダイオード列からの信号電荷を排出する第2の電荷排出部とを更に備え、前記第1の電荷排出部と第2の電荷排出部の何れか一方を活性化させることが好ましい。

電荷排出部は、信号電荷が出力ゲートを通過し、電荷検出容量部に入力しないように、信号電荷を外部に排出する。第1の電荷排出部は、第1及び第2のダイオード列に対応して、第1及び第2のダイオード列から、出力ゲートまでの間に設けられる。第2の電荷排出部は、第3のダイオード列に対応して、第3のダイオード列から、出力ゲートまでの間に設けられる。第1及び第2の電化排出部は、何れか一方が活性化され、出力信号として使用されないダイオード列からの信号電荷を外部に排出する。これにより、イメージの読み取りに要求される解像度に応じて、高解像度、又は、低解像度を切り替えて使用することができる。

#### 【0038】

本発明のCCDイメージセンサでは、前記出力ゲートを、信号電荷転送方向に配設された3段のゲート電極で構成することが好ましい。

出力ゲートの電荷転送素子側に比して、電荷検出容量部側の面積が狭いときには、チャンネル長が長く、チャンネル幅が狭くなるため、出力ゲートの直下において電荷の流れが悪くなる。出力ゲートを電荷転送素子側から電荷検出容量部側に向けた3段の電極で構成し、電荷検出容量部側の電極に印加する電圧を、出力ゲート側の電極に印加する電圧よりも高く設定することで、電荷検出容量部側に向けて高くなる出力ゲート直下のポテンシャルの階段状の傾斜の段数を増やすことができ、電荷の移動がスムーズになる。

#### 【0039】

本発明にCCDイメージセンサでは、前記3段のうち中段のゲート電極は、前段のゲート電極側に突出する突出部を有することが好ましい。

例えば、隣接する2つの電荷転送素子が出力ゲート直下で合流する部分に対応して、電荷転送素子側から見て出力ゲートの初段を構成する電極に切り込み部を設け、その切り込み部に対応して、初段に後続する次段（中段）に突出部を設ける。その突出部の直下では、初段の電極の直下よりもポテンシャルが高くなって、一方の電荷転送素子によって転送された信号電荷と、他の電荷転送素子によって転送された電荷との混合が防止でき、2つの電荷転送素子間の素子分離がなされる。

#### 【0040】

本発明の第6の視点のCCDイメージセンサは、それぞれが列方向に信号電荷を転送する複数の電荷転送素子と、前記電荷転送素子から、該電荷転送素子に共通の出力ゲートを介して、相互に異なるタイミングで信号電荷を入力する電荷検出容量部と、該電荷検出容量部の信号電荷量を検出する電荷量検出部とを備えるイメージセンサにおいて、前記出力ゲートは、信号電荷転送方向に配設された複数段のゲート電極から成り、2段目以降の1つのゲート電極は、前段のゲート電極側に突出する突出部を有することを特徴とする。

#### 【0041】

本発明の第6の視点のCCDイメージセンサでは、複数の電荷転送素子によって転送された電荷が、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力する。出力ゲートは、少なくとも2つの電極で構成され、電荷転送素子側から見て2段目以降の電極のうちの少なくとも1つは、その前段を構成する電極に突き出す突出部を有する。この場合、例えば、隣接する2つの電荷転送素子が出力ゲート直下で合流する部分に対応して、電荷転送素子側から見て出力ゲートの初段を構成する電極に切り込み部を設け、その切り込み部に対応して、初段に後続する次段に突出部を設けることで、その突出部の直下では、初段の電極の直下よりもポテンシャルが高くなって、2つの電荷転送素子間の素子分離がなされる。これにより、一方の電荷転送素子によって転送された信号電荷と、他の電荷転送素子によって転送された電荷との混合を防止することができる。

#### 【0042】

本発明の第6の視点のCCDイメージセンサでは、前記出力ゲートが、3段のゲート電極を有することが好ましい。この場合、電荷検出容量部側の電極に印加する電圧を、電荷転送素子側の電極に印加する電圧よりも高く設定することで、出力ゲート直下のポテンシャルの階段状の傾斜の段数を増やすことができ、電荷転送素子から電荷検出容量部に向かう電荷の流れがスムーズになる。

#### 【0043】

本発明の第6の視点のCCDイメージセンサでは、2段目のゲート電極における突出部が、2つの隣接する電荷転送素子の間に対応する平面位置に形成され、

3 段目のゲート電極における突出部が、前記電荷検出容量部の中央部に対応する平面位置に形成されることが好ましい。

隣接する 2 つの電荷転送素子が出力ゲート直下で合流する部分に対応して、電荷転送素子側から見て出力ゲートの 1 段目を構成する電極に例えば切り込み部を設け、その切り込み部に対応して、2 段目の電極に突出部を設けることで、その突出部の直下では、1 段目の電極の直下よりもポテンシャルが高くなって、隣接する 2 つの電荷転送素子間の素子分離がなされる。また、電荷検出容量部に向かって信号電荷が流れやすくするため、2 段目の電極における電荷検出容量部の中央部に対応する位置に例えば切り込み部を設け、その 2 段目の電極の切り込み部に対応して、3 段目の電極に突出部を設けることで、信号電荷の電荷検出容量部の中央に向かう流れをスムーズにすることができる。

#### 【0044】

##### 【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例を詳細に説明する。図 1 は、本発明の第 1 実施形態例の CCD イメージセンサを平面的に示している。この CCD イメージセンサ 100A は、4 列の電荷転送素子 101a、101b、101c、101d、2 列のフォトダイオード列 102a、102b、各電荷転送素子に共通の出力ゲート 103、リセットゲート 104、ドレイン 105、電荷検出容量部（フローティングソース）106、及び、ソースフォロワ回路 107 を備える。

#### 【0045】

各電荷転送素子 101a～101d 及び各フォトダイオード列 102a、102b は、それぞれ同様な構成を有する。各電荷転送素子 101a～101d と各フォトダイオード列 102a、102b の間には、読出しゲート 110 が配置される。各フォトダイオード列 102a、102b には、入射した光に基づいて電荷（画素信号）を生成するフォトダイオードが等間隔で配置される。各電荷転送素子 101a～101d は、例えば 2 相駆動の転送用信号が図示しない転送用電極に印加されることで、フォトダイオード列 102a、102b で生成された電荷を出力ゲート 130 側に転送する。出力ゲート 103 は、各電荷転送素子 10

101a～101dによって転送された電荷を、電荷検出容量部106に出力する。

#### 【0046】

電荷検出容量部106は、入力した電荷に応じた電位を、ソースフォロワ回路107に与える。ソースフォロワ回路107は、2つのMOSトランジスタ112a、112bにより構成され、電荷検出容量部106に入力した電荷を電圧信号に変換して画素出力信号を生成し、図示しないアンプ等に向けて出力する。リセットゲート104は、リセット信号に応答して、電源V<sub>dd</sub>に接続されたドレイン105と電荷検出容量部106とを同電位にし、電荷検出容量部106に入力した電荷をリセットする。

#### 【0047】

図2は、図1の電荷転送素子101aの縦断面（Y-Y'断面）を示している。電荷転送素子101aは、P型基板116上に形成され、N型ウェル113と、N型ウェル113よりもキャリア濃度が低いN<sup>-</sup>ウェル117とを有する。電荷転送素子101aは、同図中矢印で示す電荷転送方向に電荷を転送する。なお、P型基板116表面には絶縁膜が形成されており、転送用電極120には、転送用信号を入力するための一対の配線が形成されているが、同図では、これらを省略して図示している。

#### 【0048】

電荷転送素子101aでは、同じ信号配線に接続され、対を成す電極120a、120bにより構成される転送用電極120が、電荷転送方向に多数並んで配置される。出力ゲート103側から数えて、奇数番目の転送用電極120と、偶数番目の転送用電極120とには、異なる信号配線が接続され、例えば奇数番目の転送用電極120には転送用信号 $\phi_3$ が印加され、偶数番目の転送用電極120には転送用信号 $\phi_4$ が印加される。転送用電極120aの直下には、N<sup>-</sup>ウェル117が形成されており、転送用電極120a直下のポテンシャルは、同じ電位が与えられる対の転送電極120bの直下のポテンシャルに比して、キャリア濃度の差に応じて高くなっている。このため、同じ転送用信号が印加される転送用電極120の直下では、電荷転送方向側のポテンシャルが常に低くなって、電荷転送方向への電荷の移動がスムーズに行われる。

## 【0049】

図1に戻り、第1のフォトダイオード列102a内に配列されるフォトダイオードと、第2のフォトダイオード列102b内に配列されるフォトダイオードとは、そのピッチが互いに半ピッチだけずれて配置される。各フォトダイオード列102a、102bには、読出しゲート110を介して、第1又は第3の電荷素子列101a、101cに電荷を出力するフォトダイオードと、第2又は第4の電荷素子列101b、101dに電荷を出力するフォトダイオードとが交互に配置される。同図では、各フォトダイオード列102a、102bが電荷を出力する方向を、矢印で示している。第1及び第2のフォトダイオード102a、102bから、それぞれ第1若しくは第2の電荷転送素子101a、101b、又は、第3若しくは第4の電荷転送素子101c、101dに振り分けられて出力された電荷は、各電荷転送素子101a～101dの転送用電極120（図2）に印加する転送用信号によって、各転送素子列101a～101dに共通の出力ゲート103側に順次に転送される。

## 【0050】

図3は、図1のX1-X1'断面を示し、図4は、図1のX2-X2'断面を示している。第1及び第2の電荷転送素子101a、101b、並びに、フォトダイオード列102aは、他の電荷転送素子及びフォトダイオード列とともに、同じP型基板116上に形成される。フォトダイオード列102aは、フォトダイオードN型ウェル118とその上層に形成されたP型拡散層119とを有し、光が入射することで、入射した光のエネルギーに比例した量の電荷を生成する。フォトダイオード列102aと、第1及び第2の電荷転送素子101a、101bの何れか一方との間、及び、電荷転送素子101a、101bの外側（フォトダイオード列102aと反対側）には、図3及び図4に示すように、電荷の移動を阻止するための、P+拡散層として構成されるP+チャネルストッパ115が形成される。

## 【0051】

読出しゲート110は、読出しゲート信号が印加されると、その直下のP型基板116表面のポテンシャルを上げ、フォトダイオード列102aで生成された

電荷を、第1又は第2の電荷転送素子101a、101bに出力する。フォトダイオード102aで生成される電荷は、例えば、図3では、P+チャネルストッパ115が形成されない側の読出しゲート110を介して第1の電荷転送素子101a側に出力され、図4では、P+チャネルストッパ115が形成されない側の読出しゲート110を介して第2の電荷転送素子101b側に出力される。同じフォトダイオードを挟んで対向する各電荷転送素子101a、101bの転送用電極120には、転送用信号 $\phi 3$ 、 $\phi 4$ が印加され、転送用信号 $\phi 3$ 、 $\phi 4$ は、相互に位相が反転した（位相が半周期ずれた）2相駆動の信号として構成される。

#### 【0052】

図5は、図1の領域Aを拡大して示しており、図6は、図5の基板下層側を示している。また、図7は、図5のZ-Z'断面を示している。図5に示すように、出力ゲート103は、例えば第1層又は第2層のポリシリコンで形成される3つの電極103a、103b、103cで構成される。第1及び第2の電荷転送素子101a、101bでは、それぞれの転送用電極120に、転送用信号 $\phi 3$ 、 $\phi 4$ が印加されて電荷が移動し、第3及び第4の電荷転送素子101c、101dでは、それぞれの転送用電極120に、転送用信号 $\phi 1$ 、 $\phi 2$ が印加されて電荷が移動する。出力ゲート130は、各電荷転送素子101a～101dによって転送された電荷を電荷検出容量部106に入力する。

#### 【0053】

図6に示すように、図1に示す領域Aの下層側では、各電荷転送素子101a～101dの間に、素子分離のためのP+チャネルストッパ115が形成される。同図中に点線で示す出力ゲート130の直下では、電荷素子列側から見て1段目の出力ゲート電極130a、及び、2段目の出力ゲート電極130bの一部に対応する位置まで、P+チャネルストッパ115が形成される。出力ゲート電極130bの一部に対応する位置まで、P+チャネルストッパ115を形成することで、1つの電荷転送素子から転送された電荷が、他の電荷転送素子に侵入することを防止する。

#### 【0054】



図7に示すように、出力ゲート103は、3つの出力ゲート電極130a、130b、130cと、P型基板116上に形成されたN型ウェル113とを含む。各出力ゲート電極130a～130cは、相互に電位が異なるように所定電圧が印加され、各出力ゲート電極130a～130cに印加される所定電圧は、電荷転送素子101a～101d側から電荷検出容量部106側に向けて順次に電圧が高くなるように設定される。これにより、各電荷転送素子101a～101dにより転送された電荷が、電荷検出容量部106に向かって流れ易くなる。

#### 【0055】

図8は、CCDイメージセンサ100Aの各部に印加する信号をタイミングチャートとして示している。各電荷転送素子101a～101dでは、2相駆動の転送用信号 $\phi 1$ 、 $\phi 2$ 、又は、転送用信号 $\phi 3$ 、 $\phi 4$ により、電荷が出力ゲート103側に転送される。転送用信号 $\phi 1$ ～ $\phi 4$ は、各電荷転送素子101a～101dによって転送された電荷が、互いに異なるタイミングで出力ゲート103を通過して電荷検出容量部106に入力するような信号として構成される。

#### 【0056】

各電荷転送素子101a～101dでは、転送用信号 $\phi 1$ ～ $\phi 4$ の立ち下がり時に、電荷が出力ゲート103側に転送される。図8に示すように、転送用信号 $\phi 1$ と $\phi 2$ とは、周期が同じで位相が反転した信号として構成され、転送用信号 $\phi 3$ と $\phi 4$ とは、転送用信号 $\phi 1$ 、 $\phi 2$ と同じ周期で、互いの位相が反転した信号として構成される。転送用信号 $\phi 1$ と $\phi 3$ 、及び、転送用信号 $\phi 2$ と $\phi 4$ とは、互いの位相がそれぞれ1/4周期ずつずれている。このため、転送用信号 $\phi 1$ ～ $\phi 4$ の1周期に相当する期間内に、各電荷転送素子101a～101dは、1回だけ、電荷を電荷検出容量部106側に出力する。リセット信号 $\phi R$ は、転送用信号 $\phi 1$ ～ $\phi 4$ の1周期に相当する期間内に、4つのパルスを有する。

#### 【0057】

例えば、図8中に示す時刻t1では、リセット信号 $\phi R$ のリセットパルスによって、ドレイン105（図5）と電荷検出容量部106とが同電位になり、時刻t1直前に電荷検出容量部106に入力した、電荷転送素子101bから転送された電荷がリセットされて、出力信号の電位は高くなる。時刻t2では、リセッ

ト信号  $\phi R$  のパルスが立ち下がり、出力信号が初期電位に落ち着く。時刻  $t_3$  で、転送用信号  $\phi_1$  が立ち下がると、電荷転送素子 101d によって転送された電荷が、電荷検出容量部 106 に入力する。出力信号は、電荷検出容量部 106 に入力した電荷量に応じた電圧信号として出力される。

#### 【0058】

本実施形態例では、第1及び第2のフォトダイオード列 102a、102b で、フォトダイオードが互いに半ピッチずれて配置され、各フォトダイオード列 102a、102b のフォトダイオードで生成された電荷は、それぞれ2列の電荷転送素子 101a、101b、又は、電荷転送素子 101c、101d に振り分けて出力される。各電荷転送素子列 101a～101d によって転送された電荷は、互いに異なるタイミングで共通の出力ゲート 103 を通過し、共通の電荷検出容量部 106 からソースフォロワ回路 107 を介して、画像出力信号として出力される。

#### 【0059】

CCDイメージセンサ 100A は、4列の電荷転送素子 101a～101d によって転送された電荷を、共通の電荷検出容量部 106 に入力する構成を採用し、2列のフォトダイオード列 102a、102b を互いに半ピッチずらして配置することで、従来の4画素スタaggerドフォトダイオード配列方式のCCDイメージセンサ 200E (図18) のように信号切替器を必要とすることなく、同じフォトダイオードのピッチに対応する同じ長さの電荷転送素子を使用するデュアルCCD方式のCCDイメージセンサ (図15) の2倍、シングルCCD方式 (図14) のCCDイメージセンサの4倍の解像度を得ることができる。つまり、CCDイメージセンサ 100A は、電荷転送素子 101a～101d の製造プロセスを微細化することなく、CCDイメージセンサの解像度を上げることができる。

#### 【0060】

従来のCCDイメージセンサ 200E では、それぞれ2列の電荷転送素子によって転送された電荷を、別個の電荷検出容量部に入力し、画像出力信号を信号切替器で切り替えて出力していた。異なる電荷検出容量部を使用する場合には、各

電荷検出容量部に入力した電荷の量が同じであっても、電荷検出容量部の感度やリセット雑音のばらつき等により、画像出力信号の電圧値が異なる値になることがあり、そのばらつきが、画像の再現性に悪影響を与えていた。本実施形態例では、各フォトダイオード列102a、102bの全てのフォトダイオードからの電荷を、同じ電荷検出容量部106を介して出力することができるため、画像の再現性がよい。また、従来のCCDイメージセンサ200Eでは、電荷検出容量部に入力した電荷がソースフォロワ回路によって電圧信号に変換されて信号切替器に入力し、信号切替器に入力される信号切り換え信号に基づいて画像出力信号が選択されて出力されていた。本実施形態例では、電荷検出容量部106に入力した電荷が、即座にソースフォロワ回路107によって電圧信号に変換され、画像出力信号として出力されるため、従来のCCDイメージセンサ200Eに比して、高速動作が可能となる。

#### 【0061】

本実施形態例では、出力ゲート103が、3つの電極103a～103cにより構成され、各出力ゲート電極103a～103cに印加される電圧は、電荷転送素子101a～101d側が低く、電荷検出容量部106側が高く設定される構成を採用する。一般に、通常のCCDイメージセンサでは、出力ゲートは2つの電極により構成される。しかし、3列以上の電荷転送素子からの電荷を、共通の電荷検出容量部に入力する場合には、出力ゲート直下では、電荷転送素子列側に比して、電荷検出容量部の面積が狭いために、チャネル長が長く、チャネル幅が狭くなるため、電荷の流れが悪くなる。このため、本実施形態例のように、出力ゲートを3つの電極で構成し、出力ゲート直下のポテンシャルの階段状の傾斜の段数を増やして、電荷の移動をスムーズにするとよい。

#### 【0062】

図9は、本発明の第2実施形態例のCCDイメージセンサ100Bの、図1の領域Aに対応する領域を拡大して示している。また、図10は、図9の基板下層側の領域を示している。本実施形態例のCCDイメージセンサ100Bは、図1に示す第1実施形態例のCCDイメージセンサ100Aと同様の構成を有し、出力ゲート103の形状、及び、その下層側のN型ウェル113の形状が、第1実

施形態例と異なる。

#### 【0063】

第1実施形態例では、図6に示すように、出力ゲート130下層側では、出力ゲート電極130bの直下までP+チャネルストッパ115が形成され、電荷転送素子101b、101cのN型ウェル113の幅が、それぞれ電荷検出容量部106に向かって絞り込まれる部分（絞り込み部分）で狭くなっている。このため、その部分では、P+拡散層同士が近接し、峡チャネル効果によって電位が低くなって、電荷の転送速度が下がる。本実施形態例では、この点を解消し、CCDイメージセンサの更なる高速化を実現する。

#### 【0064】

本実施形態例では、出力ゲート103は、3つの電極103d、103e、103fにより構成される。各出力ゲート103d～fの電位は、第1実施形態例と同様に、電荷転送素子101a～101d側から電荷検出容量部106側に向けて順次に電位が高くなるように設定される。電荷転送素子101a～101d側から見て1段目の出力ゲート電極103dは、2つに分離された電極103d（1）と103d（2）とで構成される。出力ゲート電極103dは、隣接する2つの電荷転送素子101a～101d間に対応する位置にそれぞれ切れ込みを有する。

#### 【0065】

2段目の出力ゲート電極103eは、隣接する2つの電荷転送素子101a～101dの間に対応する位置に、1段目の出力ゲート電極103dの切れ込みに角状に突き出す第1～第3の突出部122を有する。また、電荷検出容量部106側の中央付近に切れ込みを有する。3段目の出力ゲート電極103fは、各電荷転送素子101a～101dの中心付近で、2段目の出力ゲート電極103eの切れ込みに突き出す第4の突出部122を有する。

#### 【0066】

図10に示すように、P+チャネルストッパ115は、1段目の出力ゲート103d直下まで形成される。2段目の出力ゲート電極101eの第1～第3の突出部122は、隣接する2つの電荷転送素子間のN型ウェル113のポテンシャ

ルを上げ、何れかの電荷転送素子によって転送された電荷が、他の電荷転送素子によって転送された電荷に混合しないようにする。3段目の出力ゲート電極103fの第4の突出部122は、出力ゲート103の中央付近のポテンシャルを上げることで、チャンネルが長くなることによる転送速度の低下を防止し、電荷検出容量部106への電荷の流れをスムーズにする。

#### 【0067】

本実施形態例では、2段目の出力ゲート電極103eの第1～第3の突出部122が、その直下のポテンシャルを高くすることで、各電荷転送素子101a～101dによって転送された電荷の混合を防止する。3段目の出力ゲート電極103fの第4の突出部122は、出力ゲート103の中央付近のポテンシャルを高くし、2段目の出力ゲート電極103eの第1～第3の突出部122によりチャンネル長が長くなって、転送速度が低下するのを防止する。各突出部122は、1段目又は2段目の出力ゲート電極103d、103eの切れ込みに対応して形成されるため、N型ウェル113は基盤表面に露出せず、電荷の転送には支障がない。

#### 【0068】

前述のように、第1実施形態例では、出力ゲート103直下において、隣接する2つの電荷転送素子間にP+チャンネルストッパ115を形成することで、電荷の混合を防止したが、この場合には、図6に示すように、P+チャンネルストッパ115同士が近接して峽チャンネル効果を起こし、電荷の転送速度が低下するおそれがあった。本実施形態例では、出力ゲート103直下において、隣接する2つの電荷転送素子間のポテンシャルを上げ、電荷が、電荷検出容量部106側に流れやすくする構成を採用して、電荷の混合を防止する。この場合には、図10に示すように、出力ゲート103付近の電荷転送素子101b、101cのN型ウェル113の幅を広くとることができ、峽チャンネル効果による転送速度の低下の恐れがなくなり、第1実施形態例に比して、CCDイメージセンサの更なる高速化が可能となる。

#### 【0069】

図11は、本発明の第3実施形態例のCCDイメージセンサ100Cの構成を

示している。本実施形態例は、2列の電荷転送素子101b、101cが、1列の電荷転送素子101fにまとめられ、電荷検出容量部106には、3列の電荷転送素子101a、101b、101fの何れかによって転送された電荷が入力する点で、第1及び第2実施形態例と相違する。フォトダイオード列102a、102bは、例えば同図中矢印で示す向きに電荷を出力する。本実施形態例のように、CCDイメージセンサ100A又は100Bの4列の電荷転送素子（図1）を、3列の電荷転送素子に置き換えることもできる。

#### 【0070】

図12は、本発明の第4の実施形態例のCCDイメージセンサ100Dの構成を示している。本実施形態例は、第1及び第2のフォトダイオード列102c、102d、並びに、第3及び第4のフォトダイオード列102e、102fが、2画素構成のスタガードフォトダイオード配列方式を採用する点で、第1及び第2実施形態例と相違する。第1及び第2のフォトダイオード列102c、102dには、ピッチが相互に1/2ピッチずれてフォトダイオードが配置され、第3及び第4のフォトダイオード列102e、102fには、ピッチが相互に1/2ピッチずれてフォトダイオードが配置される。

#### 【0071】

第1及び第2のフォトダイオード列102c、102dは、図1のフォトダイオード列102aが、図15に示すデュアルCCD方式の配列から、図16に示す2画素構成のスタガードフォトダイオード配列方式に置き換わったのと同様な構成を有する。第3及び第4のフォトダイオード列102e、102fは、図1のフォトダイオード列102bが、デュアルCCD方式の配列から、2画素構成のスタガードフォトダイオード配列方式に置き換わったのと同様な構成を有する。第1のフォトダイオード列101cと、第3のフォトダイオード列103eとは、相互に1/4ピッチずれてフォトダイオードが配置される。つまり、CCDイメージセンサ200Dでは、フォトダイオードが1/4ピッチで配置される。

#### 【0072】

本実施形態例のように、フォトダイオード列102c～102fをスタッガー

ドフォトダイオード配列方式で配置した場合にも、第1実施形態例と同様に、従来の4画素スタガードフォトダイオード配列方式のCCDイメージセンサ200E(図18)のように信号切替器を必要とすることなく、同じフォトダイオードのピッチに対応する、同じ長さの電荷転送素子を使用するシングルCCD方式(図14)のCCDイメージセンサの4倍の解像度を得ることができ、電荷転送素子の製造プロセスを微細化することなくCCDイメージセンサの解像度を上げることができる。

#### 【0073】

図13は、本発明の第5の実施形態例のCCDイメージセンサ100Eの構成を示している。本実施形態例では、電荷排出手段123を備え、異なるサイズのフォトダイオードで構成されるフォトダイオード列を有する点で、上記各実施形態例と相違する。電荷排出手段123は、各フォトダイオード列102c、102d、102gに近接して配置される。第3のフォトダイオード列102gは、図12のフォトダイオード列102e、102fが、図16に示す2画素構成のスタガードフォトダイオード配列方式から、図14に示すシングルCCD方式の配列に置き換わったのと同様な構成を有する。

#### 【0074】

例えば、第1及び第2のフォトダイオード列102c、102cに配置されるフォトダイオードは、第3のフォトダイオード列102gに配置されるフォトダイオードの、半分のサイズのフォトダイオードとして構成される。第1及び第2のフォトダイオード列101c、102dの間、及び、第3のフォトダイオード列102gの読出しゲート110の反対側には、それぞれフォトダイオードが生成した電荷を外部に排出する電荷排出手段123が配置される。CCDイメージセンサ100Dは、イメージ読み取りの解像度が指定できるように構成され、第1及び第2のフォトダイオード列102c、102dからの電荷、又は、第3のフォトダイオード列102gからの電荷によって生成される画像出力信号を選択的に出力する。

#### 【0075】

CCDイメージセンサ100Eでは、低い解像度が指定されると、図示しない

制御回路からの指令により、第1及び第2のフォトダイオード列102c、102d間に配置される第1の電荷排出手段123は、フォトダイオード列102c、102dで生成された電荷を外部に排出する。これにより、読出しゲート110を読出しパルスを印加しても、第1及び第2の電荷転送素子101a、101bにはフォトダイオードからの電荷が出力されない。大きなサイズのフォトダイオードが配置される第3のフォトダイオード列102gからの電荷は、読出しゲート110、第3の電荷転送素子101dを介して電荷検出容量部106に入力し、低い解像度の画像信号として出力される。

#### 【0076】

CCDイメージセンサ100Eは、上記とは逆に、高い解像度が指定されると、図示しない制御回路からに指令により、第3のフォトダイオード列102gに近接して配置される第2の電荷排出手段123は、フォトダイオード列102gで生成された電荷を外部に排出する。これにより、読出しゲート110に読出しパルスを印加しても、第3の電荷転送素子101dには電荷が出力されない。2画素スタガード方式でフォトダイオードが配置される第1及び第2のフォトダイオード列102c、102dからの電荷は、読出しゲート110、第1及び第2の電荷転送素子101a、101bを介して電荷検出容量部106に入力し、高い解像度の画像信号として出力される。

#### 【0077】

本実施形態例のように、3列以上の電荷転送素子からの電荷を、同じ電荷検出容量部106に入力できる構成を採用し、第1及び第2の電荷転送素子101a、101b電荷を出力するフォトダイオードのサイズと、第3の電荷転送素子列101dに電荷を出力するフォトダイオードのサイズとを、異なるサイズで構成することもできる。この場合には、画像の読み取りに要求される解像度に応じて、高解像度、又は、低解像度を切り替えて使用することができる。

#### 【0078】

なお、上記実施形態例では、出力ゲートを3つの電極で構成する例について説明したが、出力ゲートは、3つ以上の電極で構成されていてもよい。また、転送用電極120や出力ゲート電極103a、103b、103cが、2層のポリシ



リコン電極で構成される例について説明したが、それら電極は、ポリシリコン以外で構成されていてもよい。転送用信号として、2相駆動の転送用信号を使用する例について示したが、転送用信号は、各電荷転送素子によって転送される電荷が、異なるタイミングで電荷検出容量部に入力する信号であれば、2相駆動以外の転送用信号を用いてもよい。

#### 【0079】

第2実施形態例で説明した、出力ゲートの初段を構成する電極に、電荷転送素子間に対応する位置に切り込みを設け、出力ゲートの初段に後続する次段に、初段の切り込みに対応する位置に角状の突出部122を設けて、一の電荷転送素子によって転送された電荷が他の電荷転送素子によって転送された電荷と混合しないようにする構成は、従来と同様に、2つの電荷転送素子によって転送された電荷が1つの電荷検出容量から出力されるCCDイメージセンサに適用することができる。この場合にも、例えば、2つの電極により構成される出力ゲートの初段の電極に切り込みを設け、次段の電極に角状の突出部を設けることで、P<sup>+</sup>拡散層が近接して電荷の移動速度が低下することを避けることができる。

#### 【0080】

第5実施形態例では、電荷排出手段により、電荷転送素子に電荷を出力する前にフォトダイオードで生成された電荷が外部に排出される例について示したが、電荷排出手段は、使用されない側のフォトダイオード列の電荷を、出力ゲートを通過する前に外部に排出する構成であればよく、フォトダイオードに近接して配置されていなくてもよい。例えば、電荷排出手段を、電荷転送素子の途中ないしは、最終段付近で電荷を引き抜く手段として構成することもできる。

#### 【0081】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のCCDイメージセンサは、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したCCDイメージセンサも、本発明の範囲に含まれる。

#### 【0082】

#### 【発明の効果】

以上説明したように、本発明のCCDイメージセンサは、3つ以上又は4つ以上の電荷転送素子によって転送された電荷が、相互に異なるタイミングで各電荷転送素子に共通の出力ゲートを通過し、各電荷転送素子に共通の電荷検出容量部に入力するため、電荷転送素子の製造プロセスの微細化や、信号切替器を必要とすることなく、画素の微小化に対応することができる。

また、隣接する2つの電荷転送素子間の平面位置に対応して、電荷転送素子側から見て出力ゲートの初段の電極に後続する次段の電極に突出部を設けた場合には、その突出部の直下では、初段の電極の直下よりもポテンシャルが高くなって、隣接する2つの電荷転送素子間の素子分離がなされ、一方の電荷転送素子によって転送された信号電荷と、他方の電荷転送素子によって転送された電荷との混合を防止することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態例のCCDイメージセンサの構成を示す平面図。

##### 【図2】

図1のY-Y'断面を示す断面図。

##### 【図3】

図1のX1-X1'断面を示す断面図。

##### 【図4】

図1のX2-X2'断面を示す断面図。

##### 【図5】

図1の領域Aを拡大して示す平面図。

##### 【図6】

図5の基板下層側を示す平面図。

##### 【図7】

図5のZ-Z'断面を示す断面図。

##### 【図8】

本実施形態例のCCDイメージセンサの各部に印加される信号の様子を示すタイミングチャート。

**【図 9】**

本発明の第 2 実施形態例の C C D イメージセンサの、図 1 の領域 A に対応する領域を拡大して示す平面図。

**【図 1 0】**

図 9 の基板下層側を示す平面図。

**【図 1 1】**

本発明の第 3 実施形態例の C C D イメージセンサの構成を示す平面図。

**【図 1 2】**

本発明の第 4 の実施形態例の C C D イメージセンサの構成を示す平面図。

**【図 1 3】**

本発明の第 5 の実施形態例の C C D イメージセンサの構成を示す平面図。

**【図 1 4】**

従来のシングル C C D 方式の C C D イメージセンサの構成を示す平面図。

**【図 1 5】**

デュアル C C D 方式を採用する従来の C C D イメージセンサの構成を示す平面図。

**【図 1 6】**

2 画素構成のスタaggerドフォトダイオード配列方式を採用する従来の C C D イメージセンサの構成を示す平面図。

**【図 1 7】**

4 画素構成のスタaggerドフォトダイオード配列方式を採用する従来の C C D イメージセンサの構成の一例を示す平面図。

**【図 1 8】**

4 画素構成のスタaggerドフォトダイオード配列方式を採用する従来の C C D イメージセンサの構成の別例を示す平面図。

**【図 1 9】**

従来のカラー C C D 撮像素子の構成を示す平面図。

**【符号の説明】**

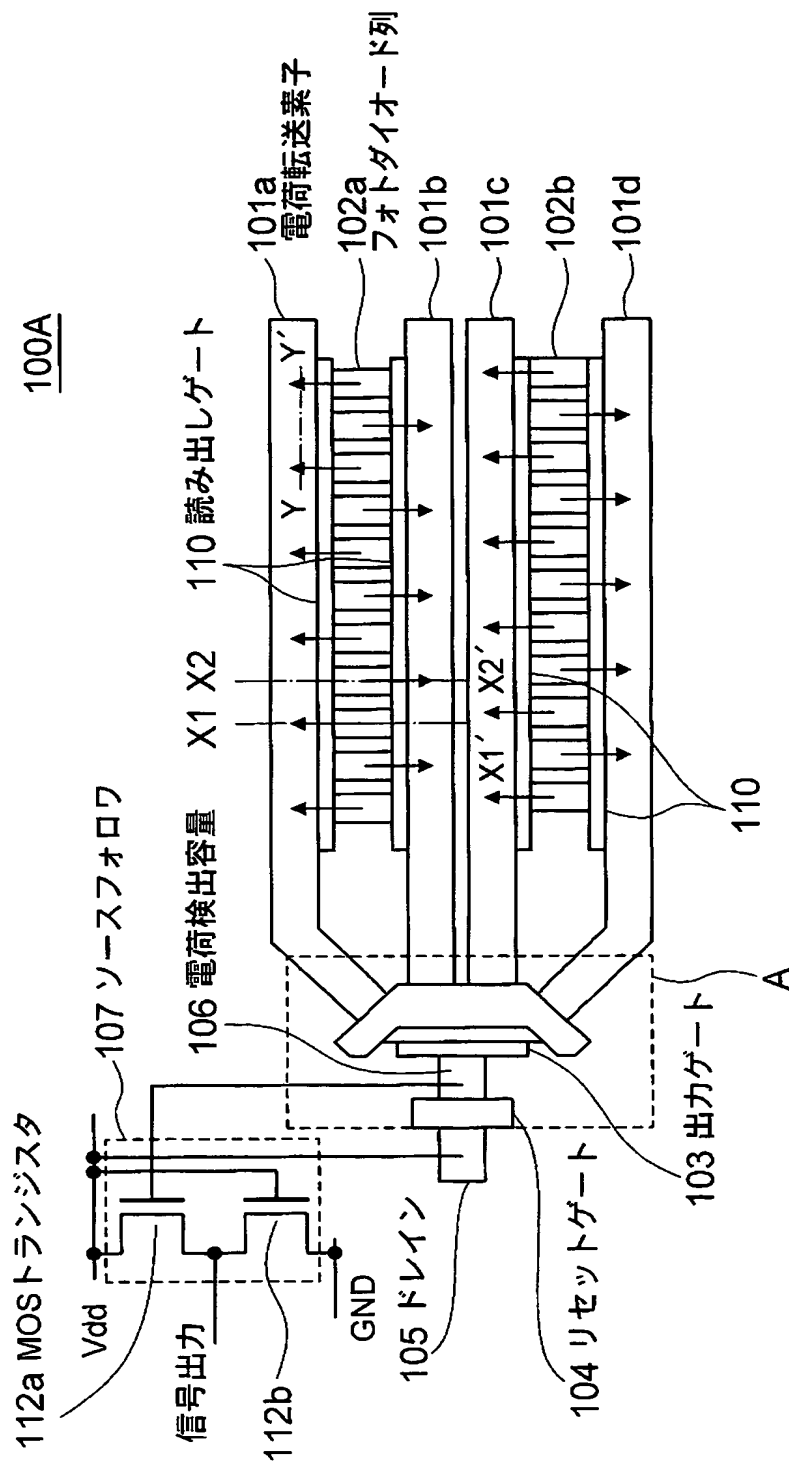
1 0 0 : C C D イメージセンサ

- 1 0 1 : 電荷転送素子
- 1 0 2 : フォトダイオード列
- 1 0 3 : 出力ゲート
- 1 0 4 : リセットゲート
- 1 0 5 : ドレイン
- 1 0 6 : 電荷検出容量部
- 1 0 7 : ソースフォロワ回路
- 1 1 0 : 読出しゲート
- 1 1 3 : N型ウェル
- 1 1 5 : P+チャネルストッパ

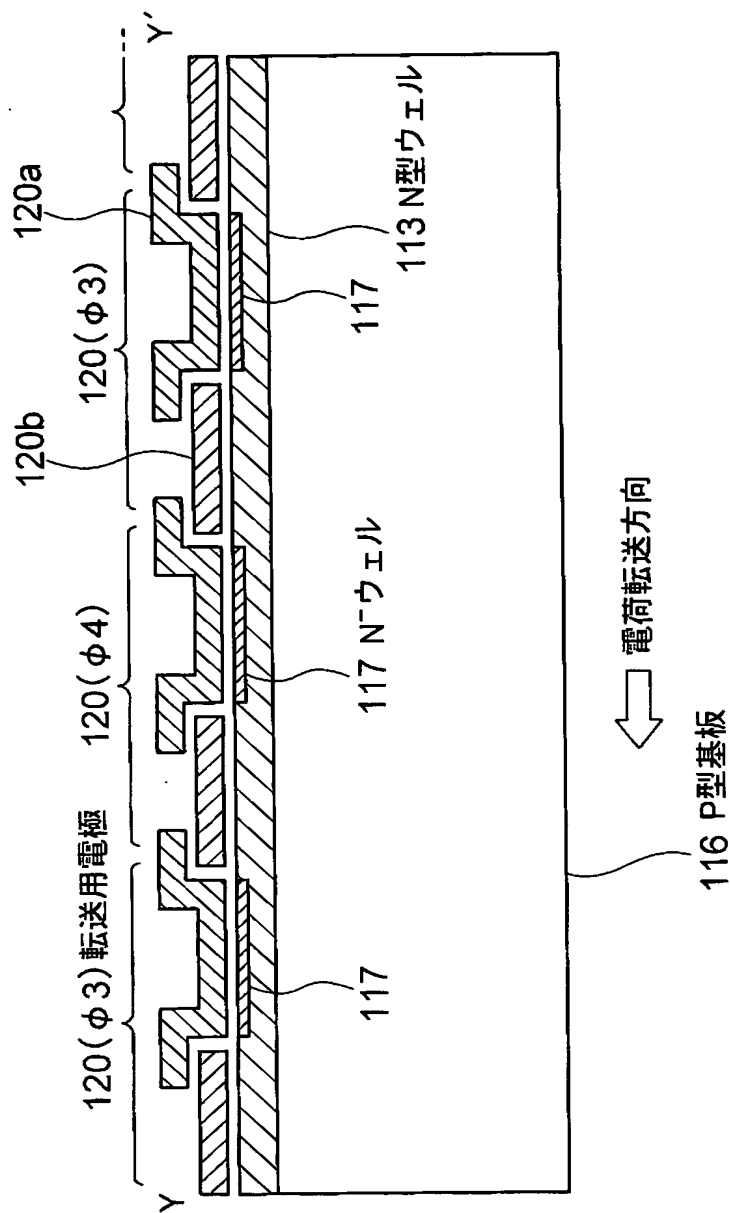
【書類名】

図面

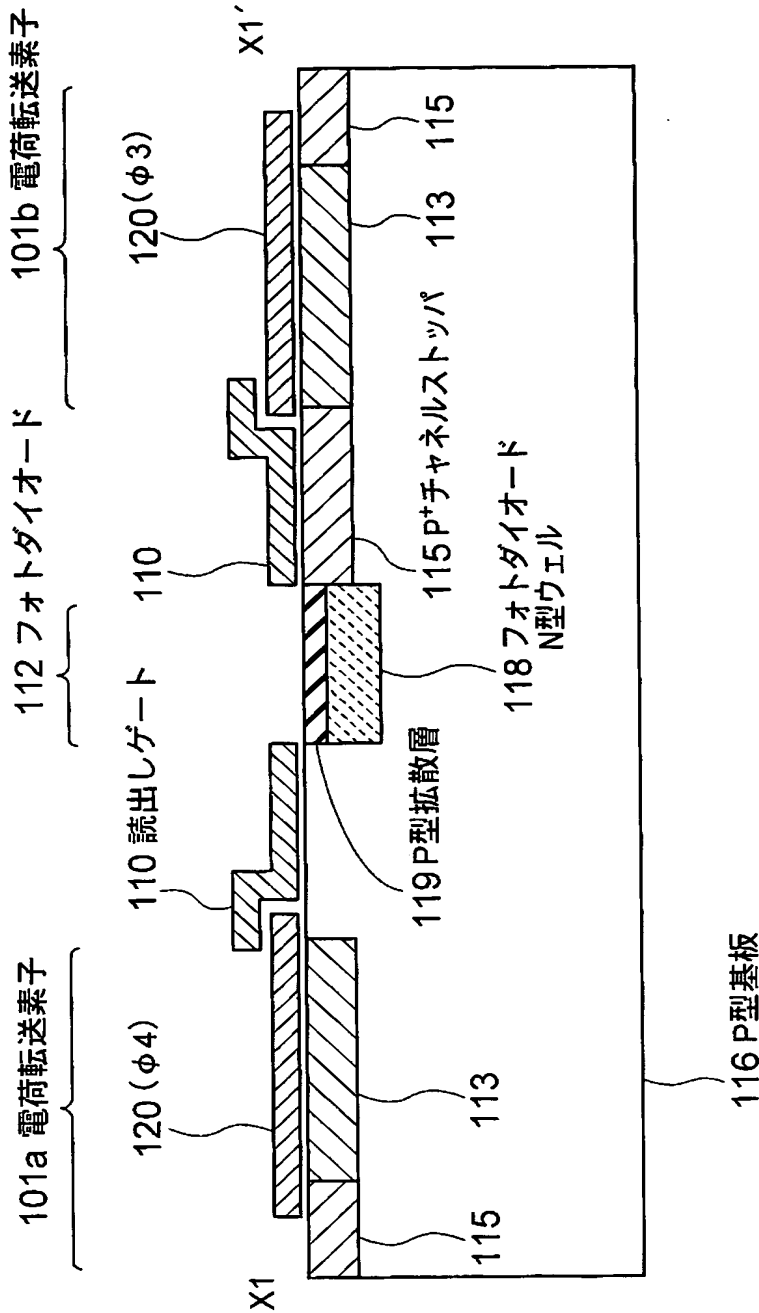
【図 1】



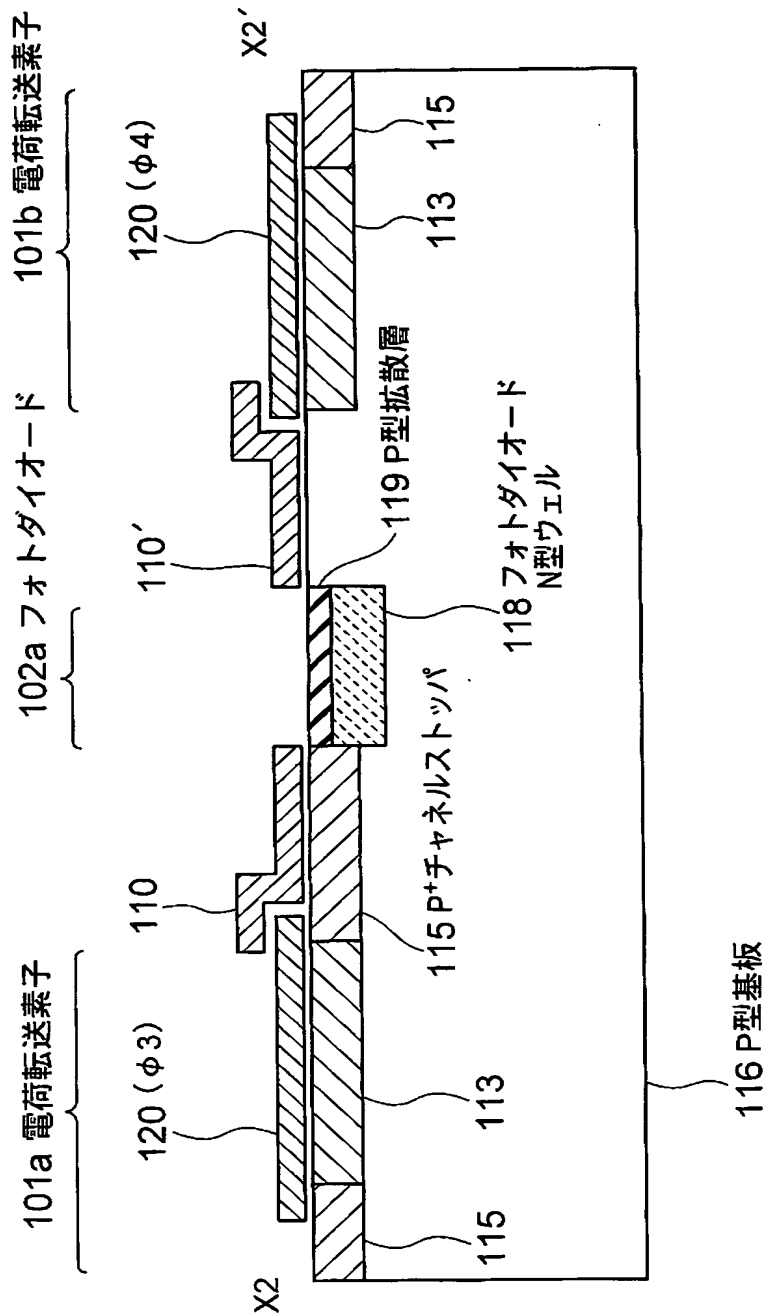
【図 2】



【図 3】

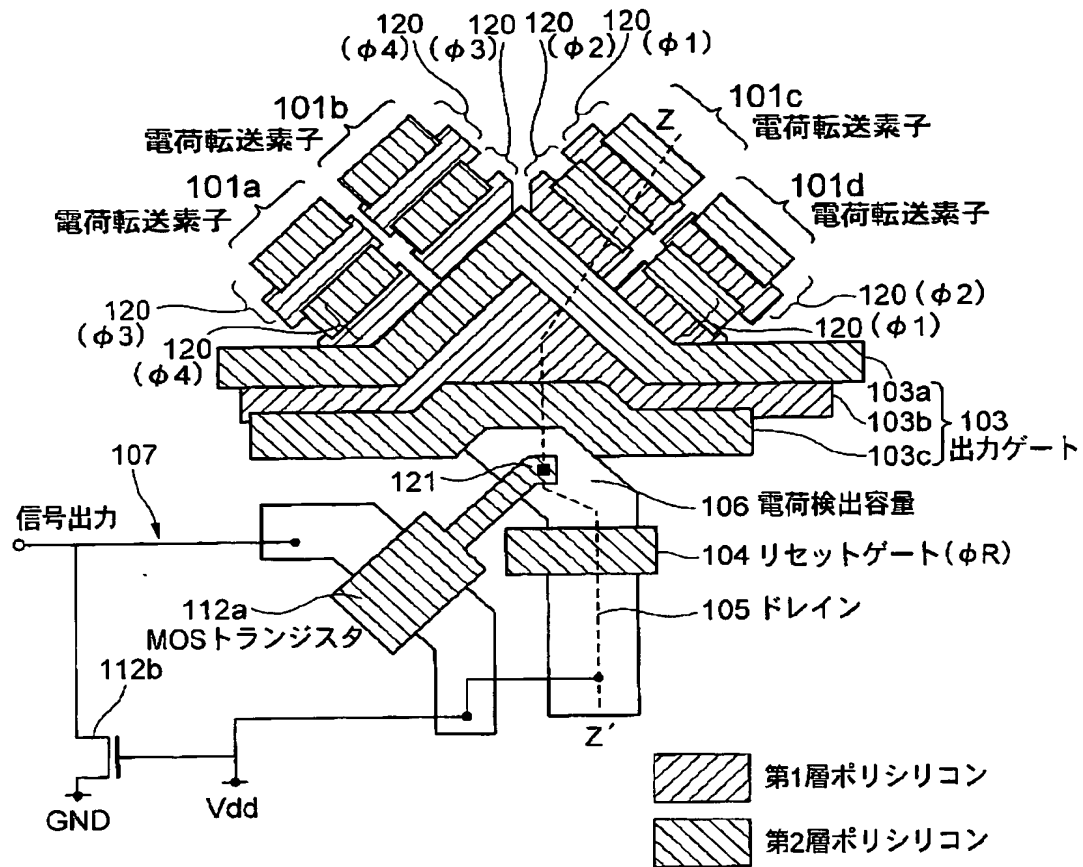


【図 4】

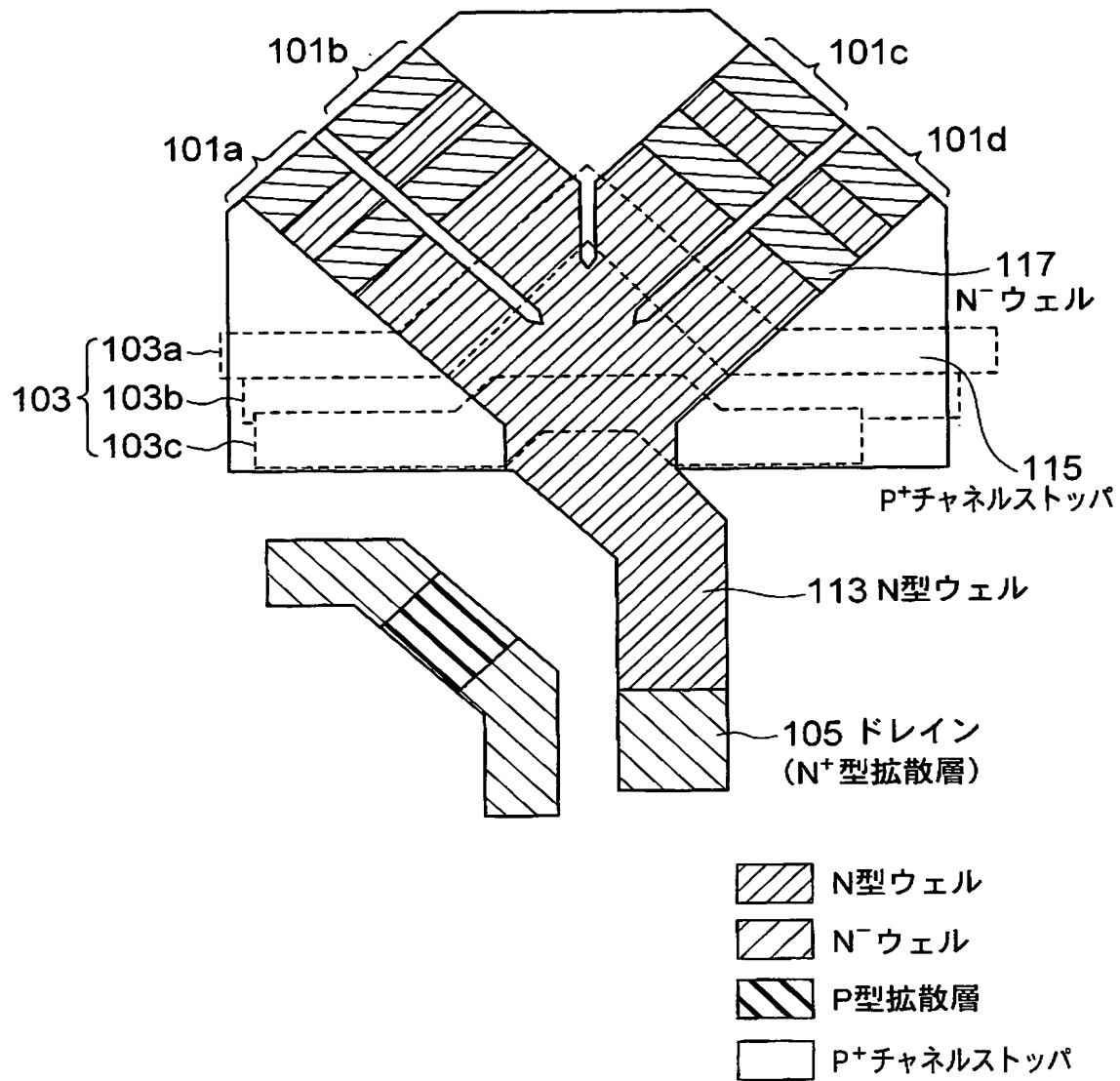




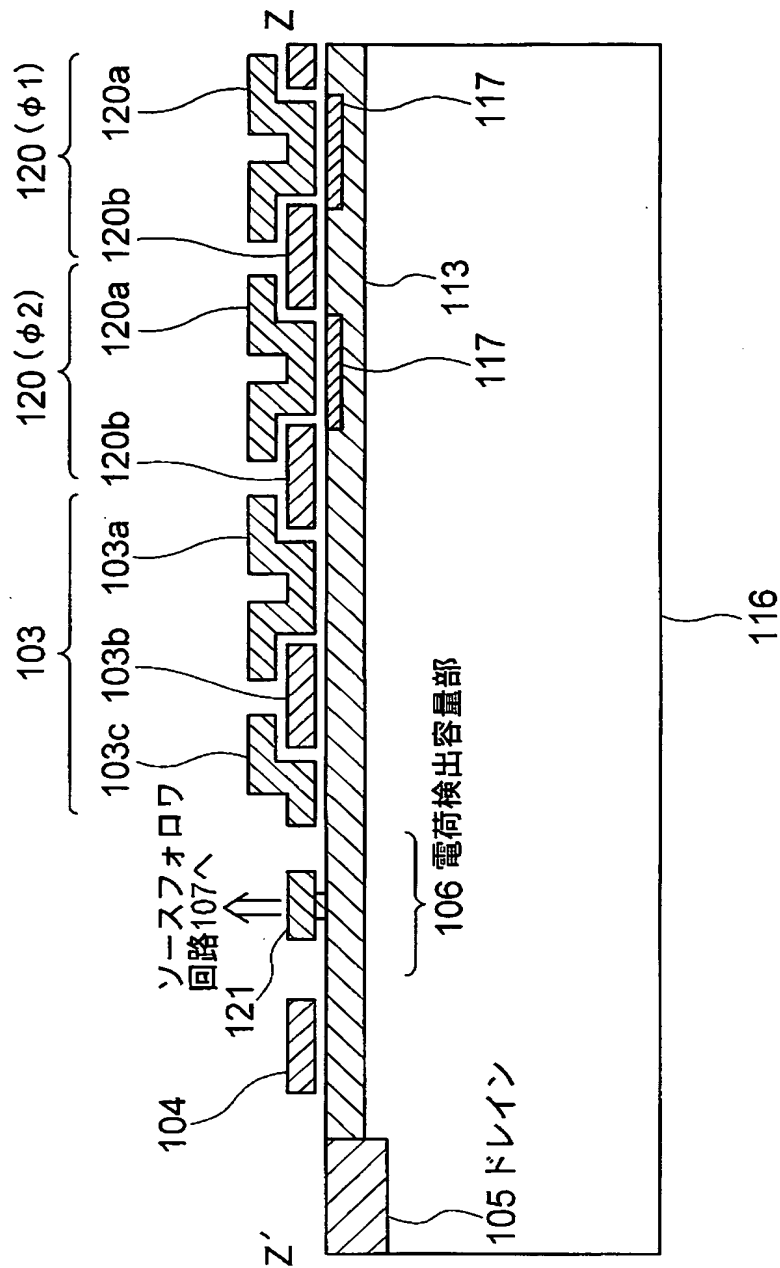
【図 5】



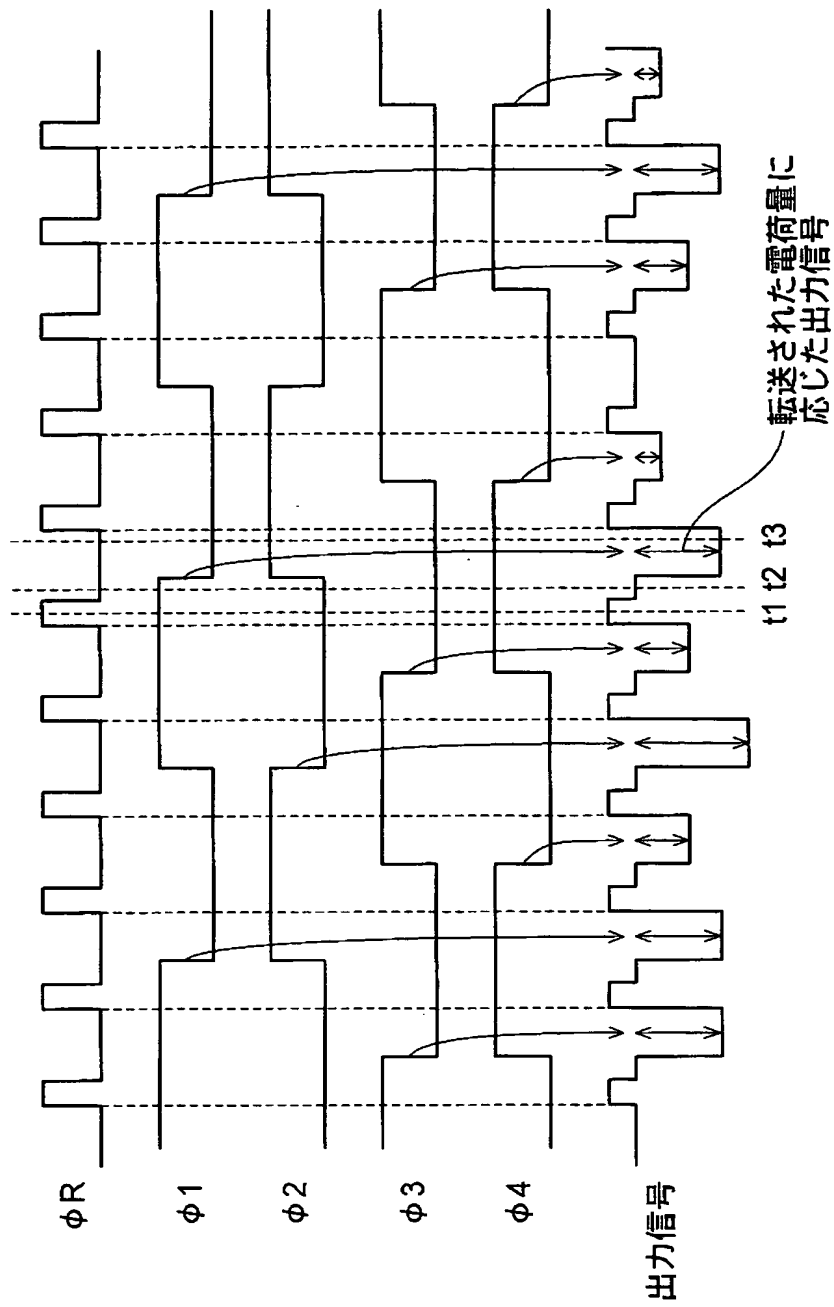
【図 6】



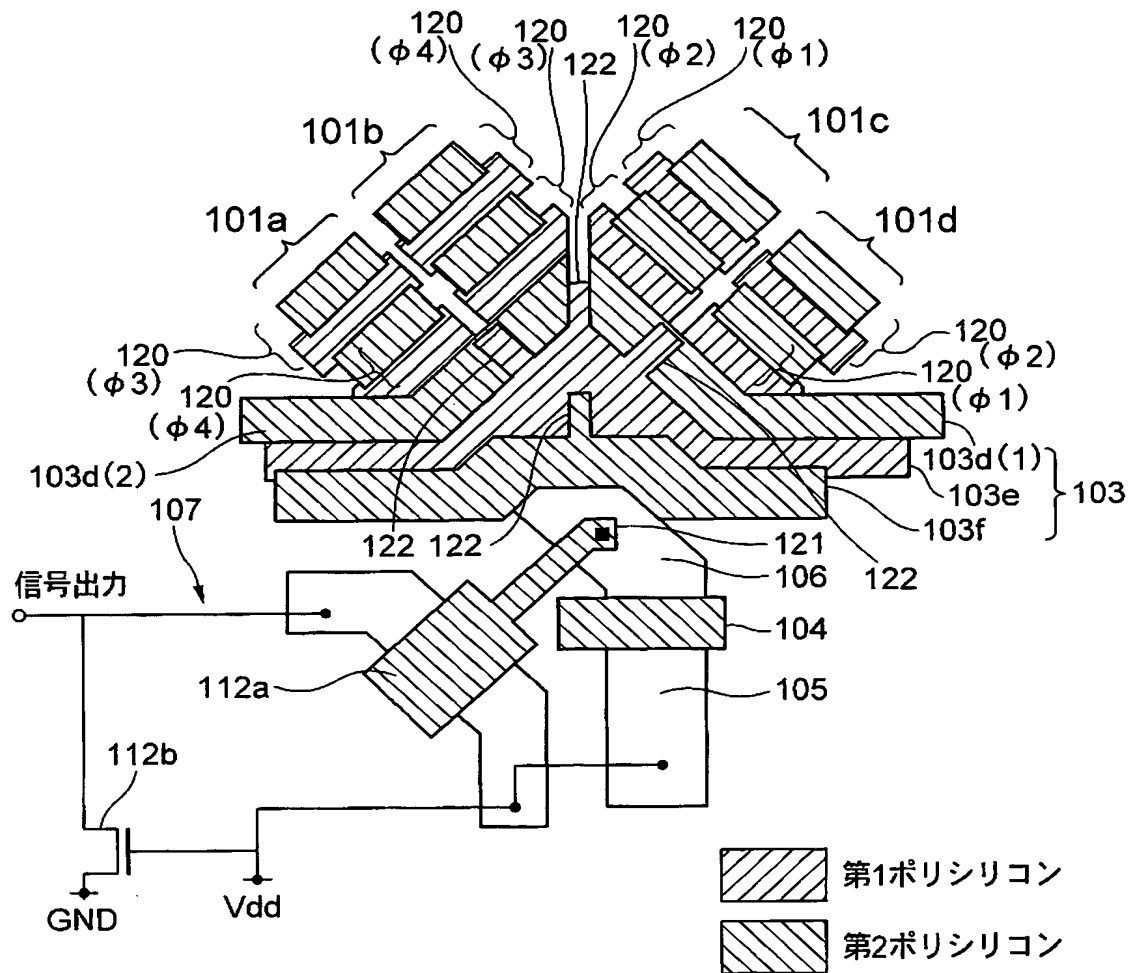
【図 7】



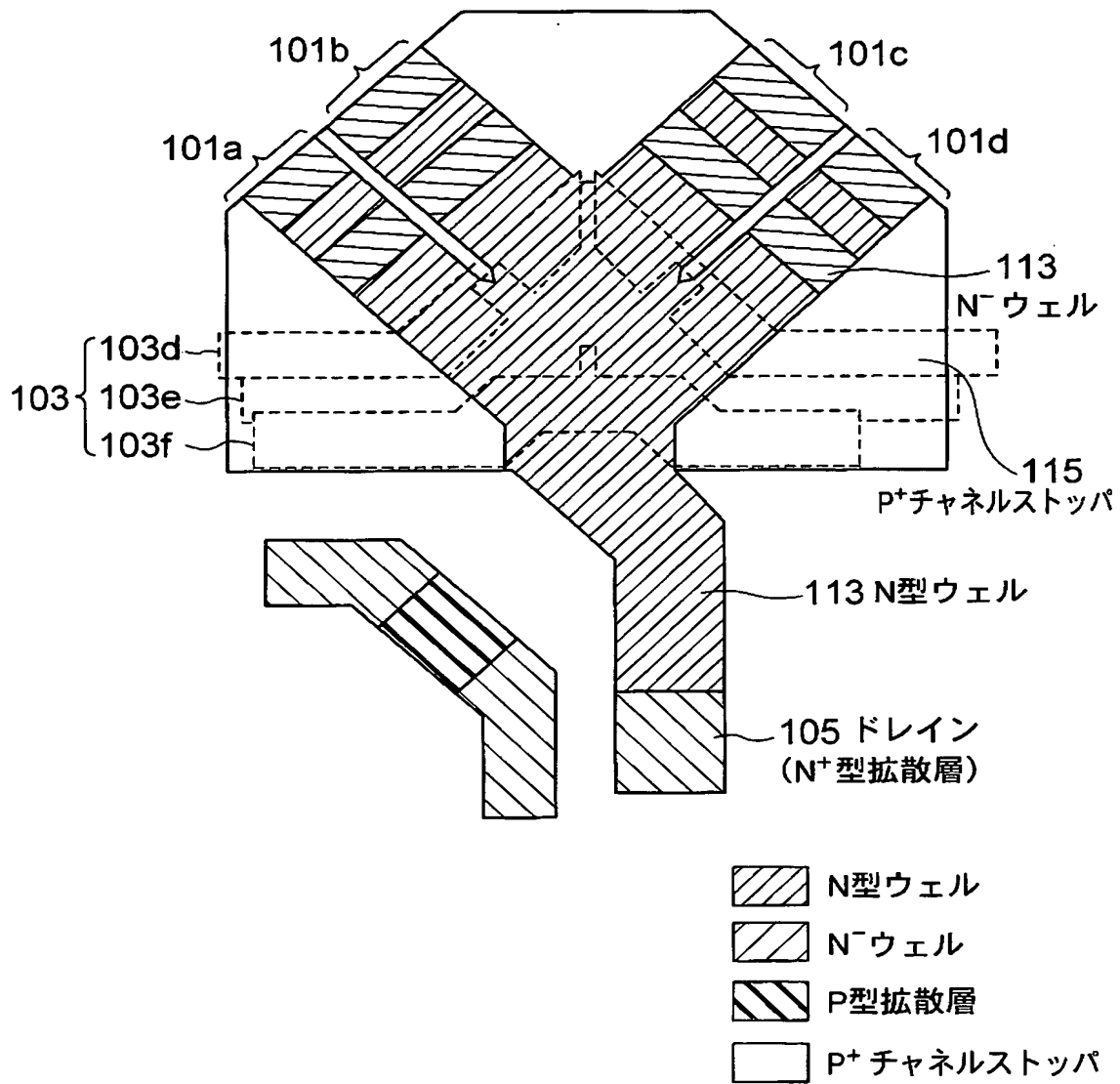
【図 8】



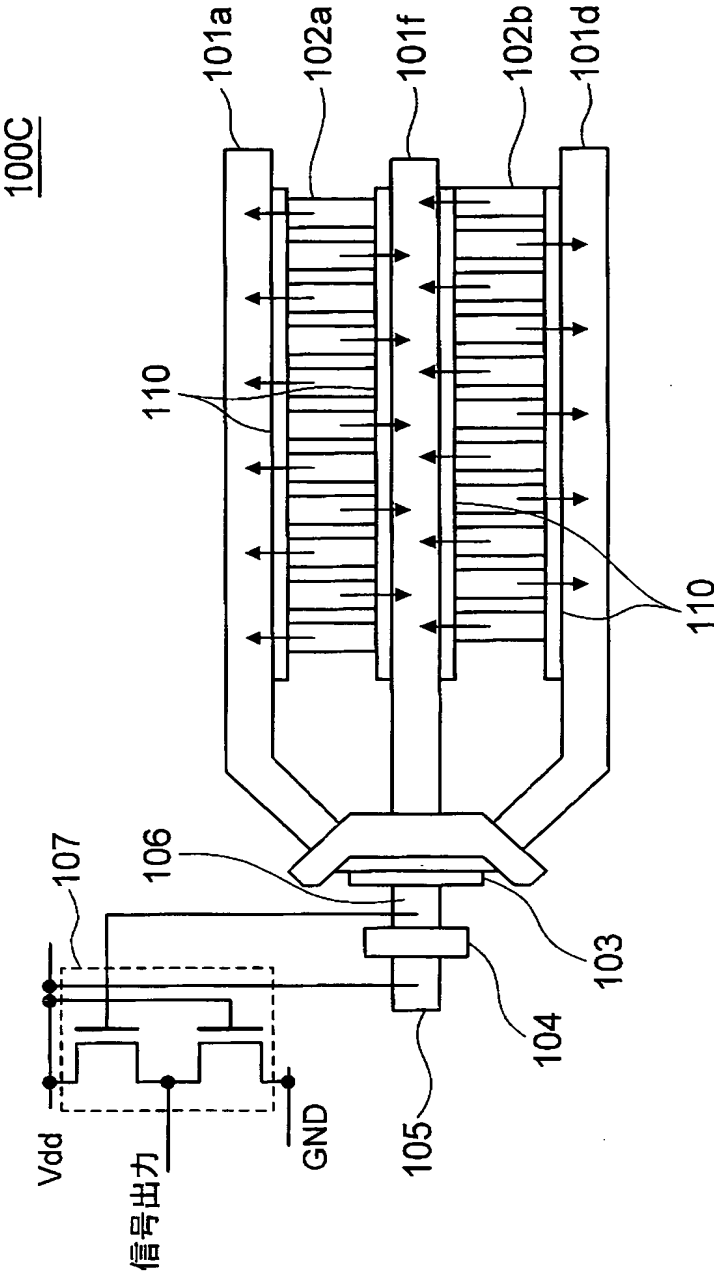
【図 9】



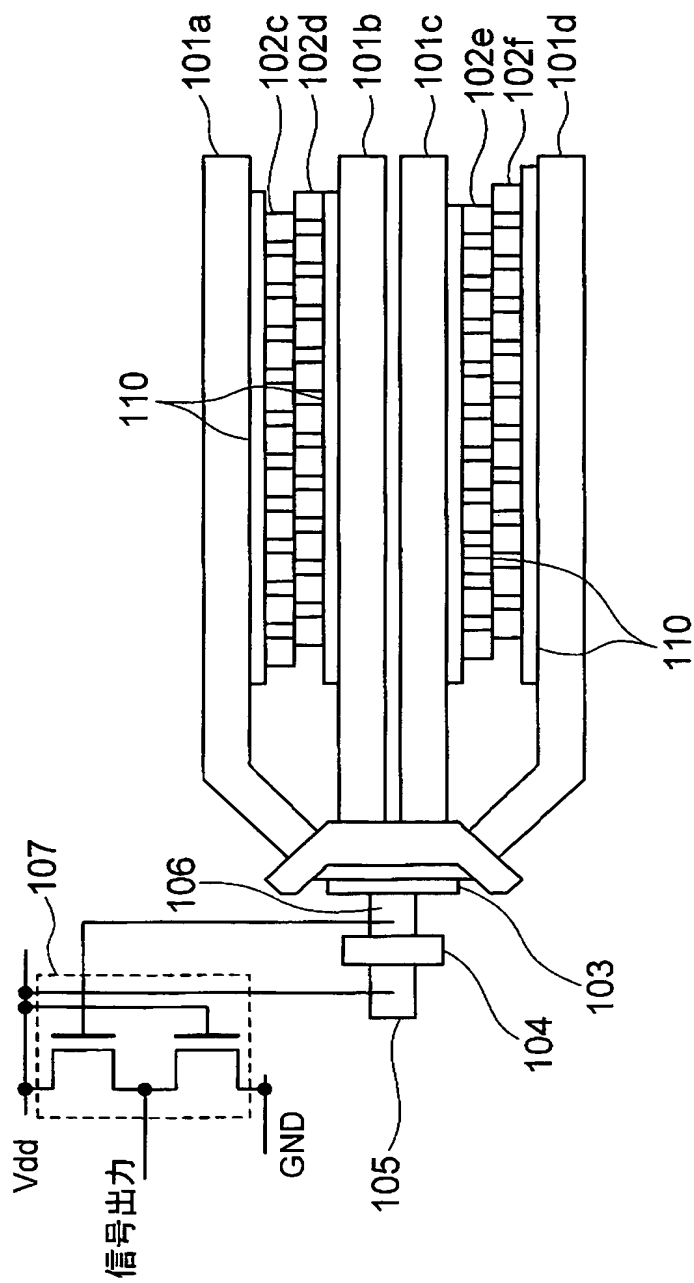
【図 10】



【図 11】

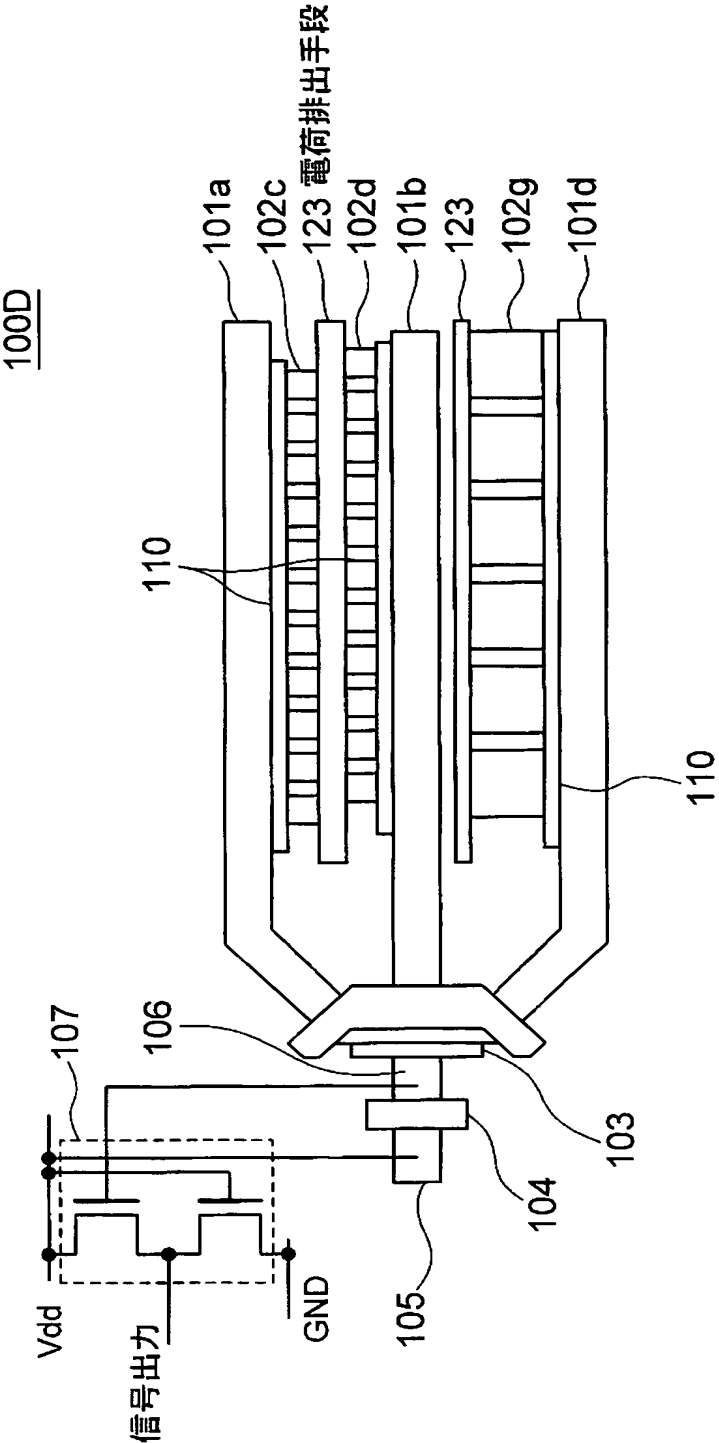


【圖 12】

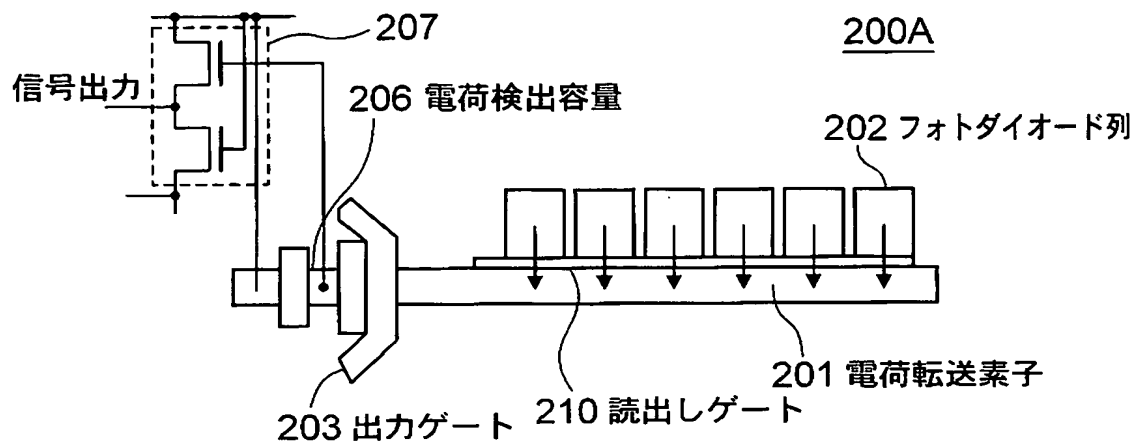




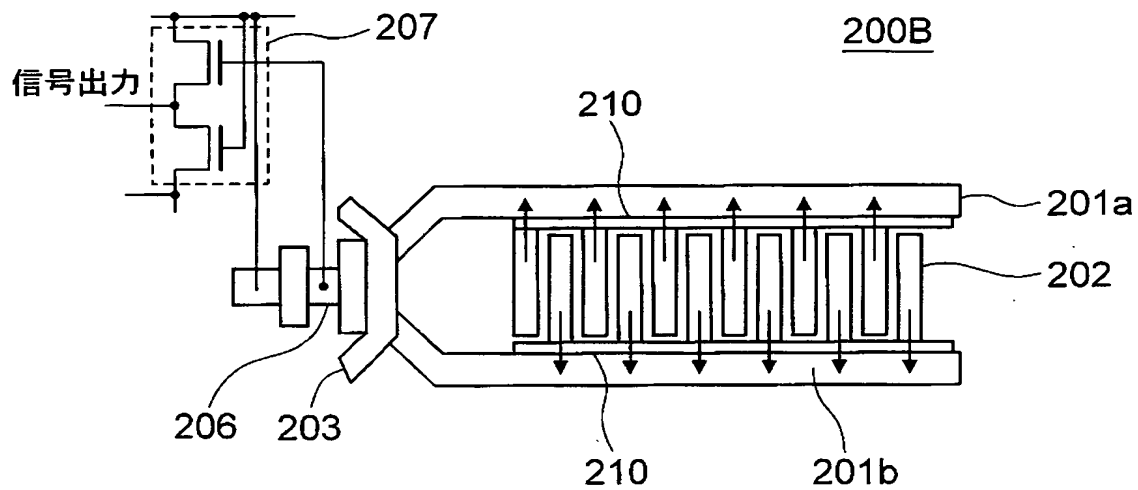
【図 13】



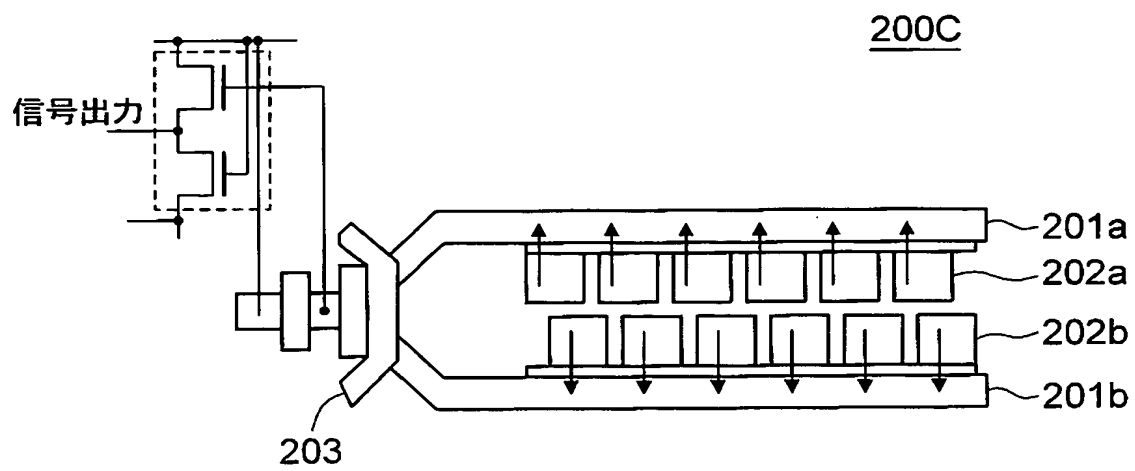
【図 14】



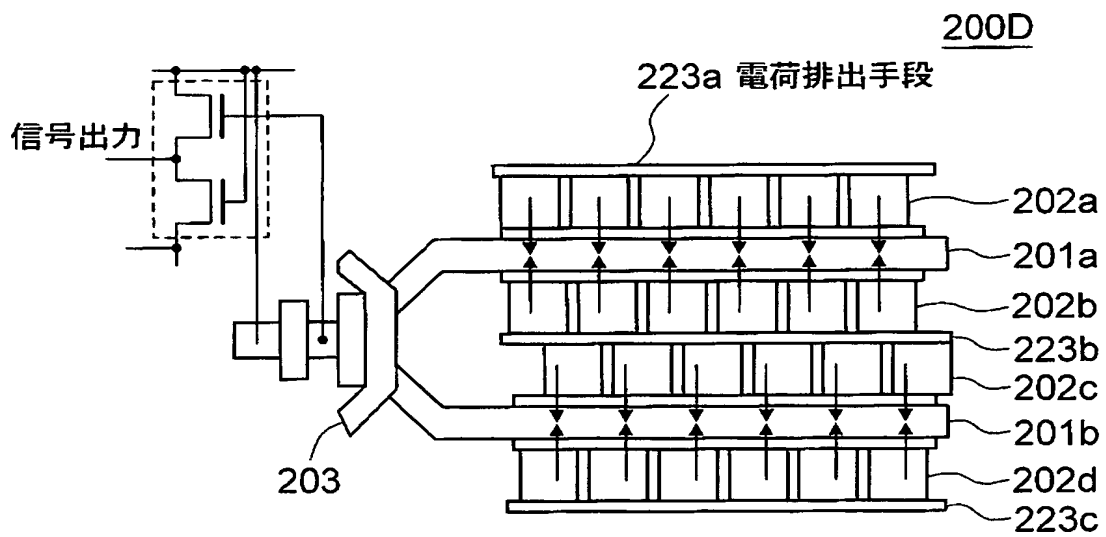
【図 15】



【図 16】

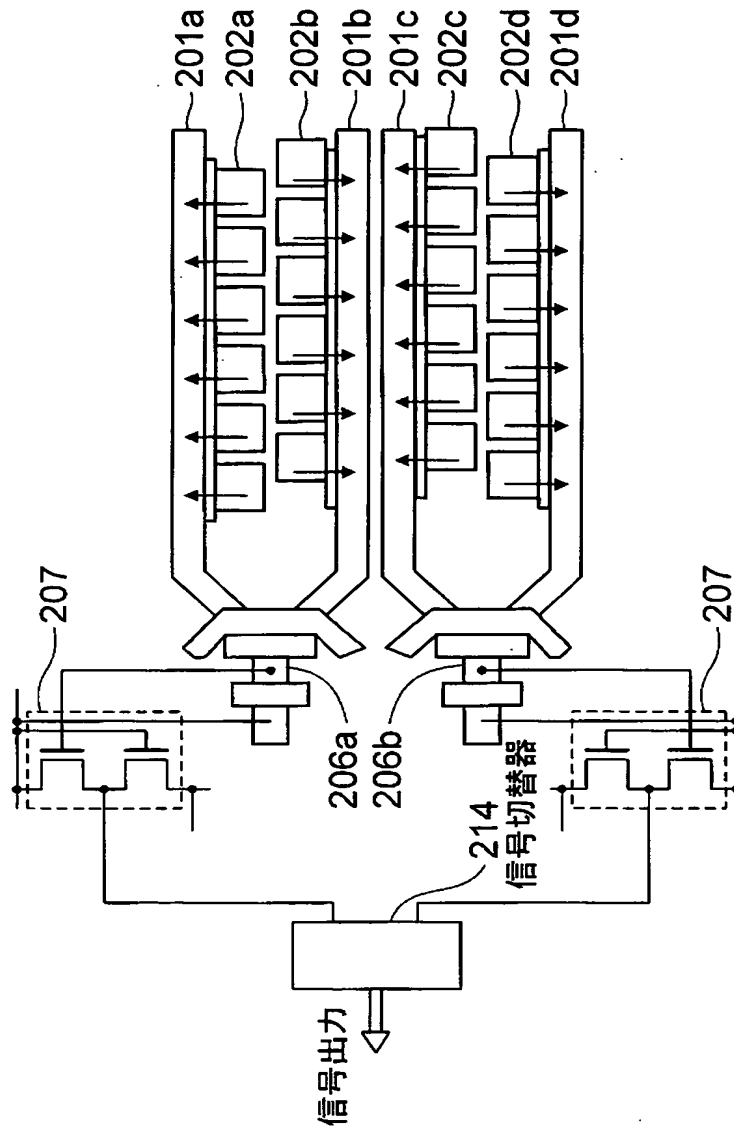


【図 17】

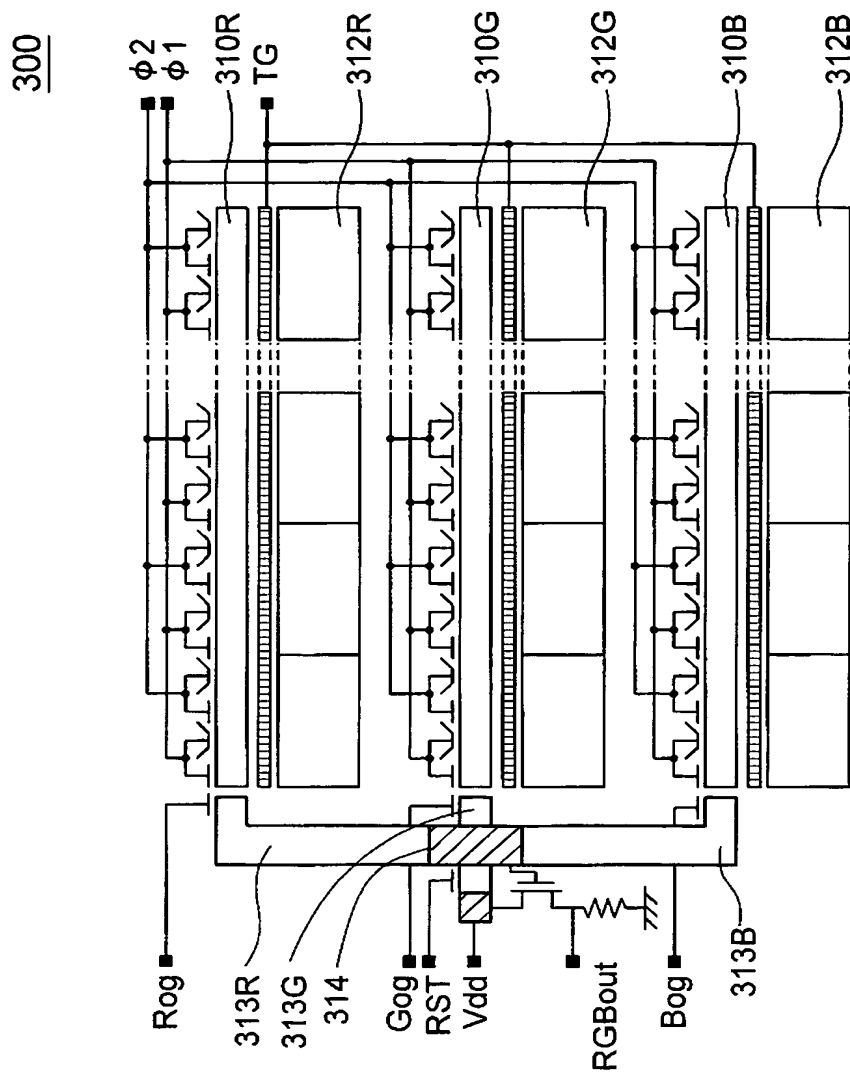


【図 18】

200E



【図 19】



【書類名】 要約書

【要約】

【課題】 電荷転送素子の製造プロセスの微細化を伴わずに、更なる画素の微小化を実現できるCCDイメージセンサを提供する。

【解決手段】 各電荷転送素子101a～101dは、それぞれフォトダイオード列102a、102bから受け取った信号電荷を、各電荷転送素子に共通の出力ゲート103方向へ転送する。電荷検出容量部106は、各電荷転送素子101a～101dによって転送された電荷を、相互に異なるタイミングで入力する。電荷検出容量部106に入力された電荷は、ソースフォロワ回路107から電圧信号として出力される。

【選択図】 図1

特願 2 0 0 2 - 3 4 7 7 2 3

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社